

Учреждение образования
«Гомельский государственный университет
имени Франциска Скорины»

Факультет физики и информационных технологий
Кафедра автоматизированных систем обработки информации

СОГЛАСОВАНО

Заведующий кафедрой
автоматизированных систем
обработки информации

А.В.Воруев

_____ 2023 г.

СОГЛАСОВАНО

Декан
факультета физики и
информационных технологий

Д.Л.Коваленко

_____ 2023 г.



**ЭЛЕКТРОННЫЙ УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС
ПО УЧЕБНОЙ ДИСЦИПЛИНЕ**

МИКРОПРОЦЕССОРЫ И МИКРОКОМПЬЮТЕРЫ

для специальности

1-53 01 02 Автоматизированные системы обработки информации

составители: старший преподаватель Кулинченко В.Н.
заведующий кафедрой АСОИ, к.т.н., доцент, Воруев А.В.
старший преподаватель Кучеров А.И.

Рассмотрено и утверждено
на заседании кафедры АСОИ
14 марта 2023 г., протокол № 8

Рассмотрено и утверждено
на заседании научно-методического
совета университета
30.03. 2023 г., протокол № 7

Гомель 2023

1 ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

Электронный учебно-методический комплекс (ЭУМК) по дисциплине «Микропроцессоры и микрокомпьютеры» представляет собой комплекс систематизированных учебных, методических и вспомогательных материалов, предназначенных для использования в образовательном процессе специальности 1-53 01 02 – Автоматизированные системы обработки информации.

ЭУМК разработан в соответствии со следующими нормативными документами:

1. Положением об учебно-методическом комплексе на уровне высшего образования, утвержденном постановлением Министерства образования Республики Беларусь от 26.07.2011 №167.

2. Учебная программа составлена на основе образовательного стандарта ОСВО 1-53 01 02-2021 г. и учебного плана ГГУ имени Ф.Скорины регистрационный № I 53-1-21/УП, дата утверждения 31.05.2021.

3. Учебной программой по учебной дисциплине «Микропроцессоры и микрокомпьютеры» для специальности 1-53 01 02 Автоматизированные системы обработки информации, утвержденной 17.05.2022, регистрационный номер УД-2022-311/уч.

Цель создания ЭУМК – обеспечить приобретение теоретических знаний и практических навыков при подготовке специалистов в области практического применения микропроцессорных устройств.

ЭУМК направлен на всестороннюю подготовку студентов фундаментальным основам цифровой и вычислительной техники, а также вопросам проектирования микропроцессорных устройств и методологическим основам технической диагностики автоматизированных систем обработки информации. Организация изучения дисциплины специализации на основе ЭУМК предполагает продуктивную образовательную деятельность, позволяющую сформировать профессиональные компетенции будущих специалистов.

ЭУМК способствует успешному осуществлению учебной деятельности, дает возможность планировать и осуществлять управляемую самостоятельную работу студентов, обеспечивает рациональное распределение учебного времени по темам учебной дисциплины и совершенствование методики проведения занятий.

ЭУМК состоит из теоретического, практического и вспомогательного разделов. Теоретический раздел содержит тексты лекций. Практический раздел содержит методические рекомендации к лабораторным работам, тестовые задания и вопросы для самоконтроля. Вспомогательный раздел содержит учебную программу и список литературы.

Теоретический раздел содержит лекционный материал по всем темам учебной программы, включая и темы, вынесенные на самостоятельное

изучение. В разделе так же содержатся рекомендации по организации и выполнению управляемой самостоятельной работы студентов.

Практический раздел включает в себя темы лабораторных занятий и задания с краткими методическими указаниями по выполнению лабораторных работ. В разделе так же приводятся примерный набор тестовых заданий.

Вспомогательный раздел содержит необходимые элементы учебно-программной документации по дисциплине с указанием рекомендуемой литературы (основной, дополнительной, вспомогательной).

Все разделы ЭУМК в полной мере соответствуют содержанию учебной программы и объему учебного плана.

Дисциплина компонента учреждения высшего образования «Микропроцессоры и микрокомпьютеры» изучается студентами 2 курса дневной формы обучения специальности I-53 01 02 – «Автоматизированные системы обработки информации»; студентами 2 и 3 курса заочной формы обучения специальности I-53 01 02 – «Автоматизированные системы обработки информации»; студентами 2 и 3 курса заочной интегрированной со средним специальным образованием формы обучения специальности I-53 01 02 – «Автоматизированные системы обработки информации».

Дневная форма обучения: всего часов по плану-212, аудиторное количество часов – 112; из них: лекционных занятий – 58 (в том числе УСП 12), лабораторных работ – 54.

Форма отчётности – зачет в 3 семестре, зачет в 4 семестре.

Заочная форма обучения: всего часов по плану - 212, аудиторное количество часов – 28, из них: лекционных занятий – 14 (3 семестр - 6 ч., 4 семестр - 8 ч.), лабораторных работ – 14 (4 семестр – 8 ч., 5 семестр – 6 ч.).

Форма отчётности – зачет в 4 семестре, зачет в 5 семестре.

Заочная форма обучения (интегрированная на основе среднего специального образования): всего часов по плану-212, аудиторное количество часов – 26, из них: лекционных занятий – 14 (3 семестр - 2 ч., 4 семестр - 6 ч., 5 семестр - 6 ч.), лабораторных работ – 12 (4 семестр – 6 ч., 5 семестр – 6 ч.).

Форма отчётности – зачет в 4 семестре, зачет в 5 семестре.

2 ТЕКСТЫ ЛЕКЦИЙ

Раздел 1 Основы микропроцессорной техники

Тема 1

ПРЕДСТАВЛЕНИЕ ЦИФРОВОЙ ИНФОРМАЦИИ

Основная единица хранения данных в компьютере. Понятие бита. Байт как восемь бит. Понятие логической единицы и логического нуля. Понятие включения и выключения бит в байте (установка или "включен" (= 1) или сброшен или "выключен" (= 0). Представление в одном байте до 256 разных символов (расширенный набор кодов ASCII или целое число в диапазоне от 0 до 255). Представление чисел в десятичной, двоичной или шестнадцатеричной форме. Система переводов из одной системы в другую. Хранение в одном байте чисел от 0 до 255 (хранение двоичных чисел от 00000000 до 11111111 или шестнадцатеричных чисел от 00 до FF). Различие в представлении двоичных и шестнадцатеричных чисел.

Форматы двоичных чисел. Представление содержимого байта в двоичной форме. Понятие младших и старших разрядов. Использование понятия веса при представлении двоичных цифр. Представление десятичных чисел в двоичной системе. Незначащие нули слева при записи до байта. Примеры записи десятичных чисел в различных форматах.

Прямой, обратный и дополнительный коды при выполнении арифметических операций в ЭВМ. Понятие кода числа. Математическая естественная форма записи числа. Длина слова как важнейшая характеристика любой ЭВМ. Определение длины слова количеством двоичных разрядов слова. Основные определения двоичного алфавита. Правила указания знака числа. Синтаксис двоичного алфавита. Определение прямого и обратного кода двоичного числа. Определение дополнительного кода числа. Связь операций в ЭВМ с многообразием разных кодов чисел. Применение прямого, обратного и дополнительного кодов чисел при выполнении арифметических операций в ЭВМ.

Тема 2

ПРОСТРАНСТВО ПАМЯТИ И ВВОДА-ВЫВОДА

Разделение памяти для процессоров 80x86. Деление на байты (8 бит), слова (16 бит), двойные слова (32 бит). Запись слова в двух смежных байтах, начиная с младшего. Адресом слова как адрес его младшего байта. Запись двойных слов в четырех смежных байтах, начиная с младшего байта. Адрес младшего байта как адрес двойного слова.

Понятия страницы и сегмента. Логическая организация памяти в виде одного или множества сегментов переменной длины (в реальном режиме – фиксированной). Разбиение логической памяти на страницы в защищенном режиме (размером 4 Кбайт (Paging)). Отображение страниц на любую область

физической памяти. Сегментация как средство организации логической памяти, используемое на прикладном уровне. Применение страничной разбивки на системном уровне для управления физической памятью.

Получение физического 32-битного адреса памяти преобразованием линейного адреса блоком страничной переадресации. Совпадение линейного адреса с физическим при отключенном блоке страничной переадресации. Включение блока страничной переадресации в защищенном режиме.

Формирование шинных сигналов MEMWR# (операций записи) и MEMR0# (операций считывания) для обращения к памяти процессора. Связь ширины шины адреса с адресацией физической памяти. Дополнительная возможность обращения к 32-битным портам. Задание адреса устройства в команде. Использование регистра DX. Вызов шинных циклов с активными сигналами IORD#, IOWR# командами ввода/вывода. Строковые команды и блочный ввод/вывод. Резервирование адресного пространства ввода/вывода OF8 — OFF для использования сопроцессором.

Физическое и логическое адресное пространство. Организация программного модуля и модуля данных в виде отдельных сегментов. Программирование с помощью логических адресов, начиная с нулевого. Особенности работы с сегментами в основной памяти. Выполнение программы процессором, составленной с помощью логических адресов. Выдача процессором нулевого адреса при выполнении в некотором сегменте команды JUMP 0. Устройство преобразования логических адресов в физические - устройство управления памятью (УУП).

Принцип преобразования логических адресов в физические. Формула получения физического адреса. Указание базовым адресом местоположения сегмента в основной памяти.

Т е м а 3 **КОМАНДЫ. АССЕМБЛЕР**

Общий случай системы команд процессора. Основные группы команд. Команды пересылки данных. Арифметические команды. Логические команды. Команды переходов.

Работа команд пересылки данных. Пересылка операндов из источника (Source) в приемник (Destination). Источник и приемник как внутренние регистры процессора, ячейки памяти или устройства ввода/вывода. Использование АЛУ.

Выполнение арифметических команд. Операции сложения. Операции вычитания. Операции умножения. Операции деления. Операции увеличения на единицу (инкрементирования) и уменьшения на единицу (декрементирования). Один или два входных операнда. Формирование командами одного выходного операнда.

Логические команды над операндами. Логические операции. Логическое И. Логическое ИЛИ. Исключающее ИЛИ. Очистка, инверсия. Понятие сдвига (вправо, влево, арифметический сдвиг, циклический сдвиг).

Команды переходов и их назначение. Изменение обычного порядка последовательного выполнения команд. Организация переходов на подпрограммы и возвраты из них. Реализация циклов. Ветвления программ. Пропуски фрагментов программ. Изменение содержимого счетчика команд. Переходы условные и безусловные. Построение сложных алгоритмов обработки информации.

Установка или очистка битов регистра состояния процессора (PSW). Сходство и различие системы команд разных процессоров. Количество команд у процессора. Процессоры с расширенной системой команд. Процессоры с сокращенным набором команд (RISC-процессоры). Увеличение эффективности и скорости выполнения RISC инструкций.

Назначение языка ассемблера. Запись основных конструкций языка. Отображение структур данных и структур управления языков высокого уровня на язык ассемблера. Макросредства в языке ассемблера. Организация ввода-вывода.

Понятие о модульном программировании, независимая трансляция модулей; структура модулей, межмодульные связи; объединение модулей, описанных на языке ассемблера и языках высокого уровня; соглашения о связях.

Операции в языке ассемблера. Обмен данных с регистрами. Выполнении операций на регистрах. Высокая эффективность языка ассемблера. Хранение данных в регистрах микропроцессора. Работа ассемблерного компилятора. Возврат значения в память после выполнения операции. Доступ к памяти.

Регистры общего назначения (AX, BX, CX и DX). Операции над содержимым регистра. Операции над содержимым половины регистра. Деление регистра на старшую и младшую части. Обозначение старшей и младшей частей регистра. Работа программ с байтными величинами. 16-битные значения регистров BP, SI и DI. Значение бит регистра флагов и его связь со статусом процессора.

Раздел 2 Микропроцессоры и микропроцессорная система

Т е м а 1

МИКРОПРОЦЕССОРЫ И ИХ КЛАССИФИКАЦИЯ

Понятие микропроцессора.

Ядром любой микропроцессорной системы является микропроцессор или просто процессор (от английского processor). Перевести на русский язык это слово правильнее всего как «обработчик», так как именно микропроцессор — это тот узел, блок, который производит всю обработку информации внутри микропроцессорной системы. Остальные узлы выполняют всего лишь вспомогательные функции: хранение информации (в том числе и управляющей информации, то есть программы), связи с внешними устройствами, связи с пользователем и т.д. Процессор заменяет

практически всю «жесткую логику», которая понадобилась бы в случае традиционной цифровой системы. Он выполняет арифметические функции (сложение, умножение и т.д.), логические функции (сдвиг, сравнение, маскирование кодов и т.д.), временное хранение кодов (во внутренних регистрах), пересылку кодов между узлами микропроцессорной системы и многое другое. Количество таких элементарных операций, выполняемых процессором, может достигать нескольких сотен. Процессор можно сравнить с мозгом системы.

Но при этом надо учитывать, что все свои операции процессор выполняет последовательно, то есть одну за другой, по очереди. Конечно, существуют процессоры с параллельным выполнением некоторых операций, встречаются также микропроцессорные системы, в которых несколько процессоров работают над одной задачей параллельно, но это редкие исключения. С одной стороны, последовательное выполнение операций — несомненное достоинство, так как позволяет с помощью всего одного процессора выполнять любые, самые сложные алгоритмы обработки информации. Но, с другой стороны, последовательное выполнение операций приводит к тому, что время выполнения алгоритма зависит от его сложности. Простые алгоритмы выполняются быстрее сложных. То есть микропроцессорная система способна сделать все, но работает она не слишком быстро, ведь все информационные потоки приходится пропускать через один-единственный узел — микропроцессор. В традиционной цифровой системе можно легко организовать параллельную обработку всех потоков информации, правда, ценой усложнения схемы.

Итак, микропроцессор способен выполнять множество операций. Но откуда он узнает, какую операцию ему надо выполнять в данный момент? Именно это определяется управляющей информацией, программой. Программа представляет собой набор команд (инструкций), то есть цифровых кодов, расшифровав которые, процессор узнает, что ему надо делать. Программа от начала и до конца составляется человеком, программистом, а процессор выступает в роли послушного исполнителя этой программы, никакой инициативы он не проявляет (если, конечно, исправен). Поэтому сравнение процессора с мозгом не слишком корректно. Он всего лишь исполнитель того алгоритма, который заранее составил для него человек. Любое отклонение от этого алгоритма может быть вызвано только неисправностью процессора или каких-нибудь других узлов микропроцессорной системы.

Все команды, выполняемые процессором, образуют систему команд процессора. Структура и объем системы команд процессора определяют его быстродействие, гибкость, удобство использования. Всего команд у процессора может быть от нескольких десятков до нескольких сотен. Система команд может быть рассчитана на узкий круг решаемых задач (у специализированных процессоров) или на максимально широкий круг задач (у универсальных процессоров). Коды команд могут иметь различное количество разрядов (занимать от одного до нескольких байт). Каждая

команда имеет свое время выполнения, поэтому время выполнения всей программы зависит не только от количества команд в программе, но и от того, какие именно команды используются.

Для выполнения команд в структуру процессора входят внутренние регистры, арифметико-логическое устройство (АЛУ, ALU — Arithmetic Logic Unit), мультиплексоры, буферы, регистры и другие узлы. Работа всех узлов синхронизируется общим внешним тактовым сигналом процессора. То есть процессор представляет собой довольно сложное цифровое устройство (рисунок 1).

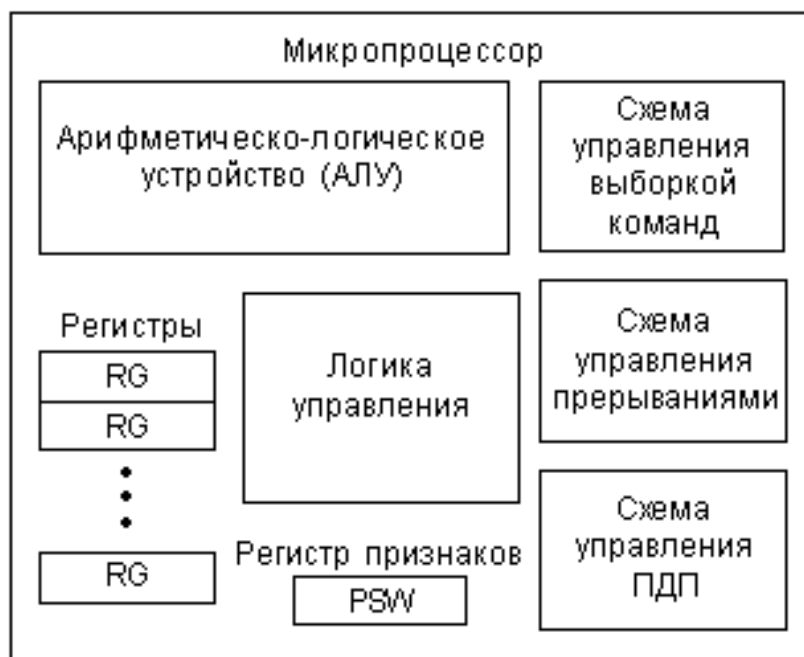


Рисунок 1 – Архитектура процессора

Основные типы микропроцессоров. Однокристальные микропроцессоры с фиксированной разрядностью слова. Однокристальные микропроцессоры с фиксированной системой команд. Принцип обработки данных на основе использования команд программы. Однокристальные микропроцессоры с управляющим устройством на “жесткой” логике. Многокристалльные (секционные) микропрограммируемые микропроцессоры с изменяемой разрядностью слова и фиксированным набором микроопераций. Использование основных особенностей данных типов микропроцессоров при проектировании микропроцессорных устройств и систем. Методы работы с микропроцессорами первого типа. Разработка микропрограммы, реализующей команды в управляющей памяти микропроцессора. Широкое применение однокристальных микропроцессоров с фиксированной системой команд.

Развитие микропроцессоров на основе МОП- и биполярной технологии микроэлектроники. Преимущества МОП-технологии в отношении плотности размещения компонентов на кристалле. Многокристалльные микропрограммируемые быстродействующие микропроцессоры на основе биполярной технологии.

Т е м а 2

СТРУКТУРА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Микропроцессорная система как частный случай электронной системы. Входные и выходные сигналы (аналоговые сигналы, одиночные цифровые сигналы, цифровые коды, последовательности цифровых кодов). Хранение и накопление сигналов внутри системы. Преобразование входных аналоговых сигналов в последовательности кодов выборок с помощью АЦП. Формирование выходных аналоговых сигналов из последовательности кодов выборок с помощью ЦАП. Обработка и хранение информации в цифровом виде.

Особенности традиционной цифровой системы. Жесткая связь алгоритмов обработки и хранения информации со схемотехникой системы. Традиционная цифровая система как система на «жесткой логике». Преимущества систем на «жесткой логике». Недостатки цифровых систем на «жесткой логике».

Универсальность системы и критерий избыточности. Оптимальная сложность универсальной системы. Связь универсальности системы с критерием быстродействия. Оптимизация универсальной системы. Общее правило универсальности микропроцессорной системы.

Т е м а 3

КОНТРОЛЛЕР ШИНЫ

Системная магистраль (системная шина) микропроцессорной системы. Состав системной магистрали. Шинная структура связей микропроцессорной системы. Шина данных, шина адреса и шина управления.

Для достижения максимальной универсальности и упрощения протоколов обмена информацией в микропроцессорных системах применяется так называемая шинная структура связей между отдельными устройствами, входящими в систему. Суть шинной структуры связей сводится к следующему. При классической структуре связей все сигналы и коды между устройствами передаются по отдельным линиям связи. Каждое устройство, входящее в систему, передает свои сигналы и коды независимо от других устройств. При этом в системе получается очень много линий связи и разных протоколов обмена информацией.

При шинной структуре связей все сигналы между устройствами передаются по одним и тем же линиям связи, но в разное время (это называется мультиплексированной передачей). Причем передача по всем линиям связи может осуществляться в обоих направлениях (так называемая двунаправленная передача). В результате количество линий связи существенно сокращается, а правила обмена (протоколы) упрощаются. Группа линий связи, по которым передаются сигналы или коды как раз и называется шиной (англ. bus).

Понятно, что при шинной структуре связей легко осуществляется пересылка всех информационных потоков в нужном направлении, например, их можно пропустить через один процессор, что очень важно для микропроцессорной системы. Однако при шинной структуре связей вся информация передается по линиям связи последовательно во времени, по очереди, что снижает быстродействие системы по сравнению с классической структурой связей.

Большое достоинство шинной структуры связей состоит в том, что все устройства, подключенные к шине, должны принимать и передавать информацию по одним и тем же правилам (протоколам обмена информацией по шине). Соответственно, все узлы, отвечающие за обмен с шиной в этих устройствах, должны быть единообразны, унифицированы.

Существенный недостаток шинной структуры связан с тем, что все устройства подключаются к каждой линии связи параллельно. Поэтому любая неисправность любого устройства может вывести из строя всю систему, если она портит линию связи. По этой же причине отладка системы с шинной структурой связей довольно сложна и обычно требует специального оборудования.

Типичная структура микропроцессорной системы включает в себя три основных типа устройств:

- процессор;
- память, включающую оперативную память (ОЗУ, RAM — Random Access Memory) и постоянную память (ПЗУ, ROM — Read Only Memory), которая служит для хранения данных и программ;
- устройства ввода/вывода (УВВ, I/O — Input/Output Devices), служащие для связи микропроцессорной системы с внешними устройствами, для приема (ввода, чтения, Read) входных сигналов и выдачи (вывода, записи, Write) выходных сигналов.

Все устройства микропроцессорной системы объединяются общей системной шиной (она же называется еще системной магистралью или каналом). Системная магистраль включает в себя четыре основные шины нижнего уровня:

- шина адреса (Address Bus);
- шина данных (Data Bus);
- шина управления (Control Bus);
- шина питания (Power Bus).

Шина адреса служит для определения адреса (номера) устройства, с которым процессор обменивается информацией в данный момент. Каждому устройству (кроме процессора), каждой ячейке памяти в микропроцессорной системе присваивается собственный адрес. Когда код какого-то адреса выставляется процессором на шине адреса, устройство, которому этот адрес приписан, понимает, что ему предстоит обмен информацией. Шина адреса может быть однонаправленной или двунаправленной.

Шина данных — это основная шина, которая используется для передачи информационных кодов между всеми устройствами микропроцессорной

системы. Обычно в пересылке информации участвует процессор, который передает код данных в какое-то устройство или в ячейку памяти или же принимает код данных из какого-то устройства или из ячейки памяти. Но возможна также и передача информации между устройствами без участия процессора. Шина данных всегда двунаправленная.

Шина управления в отличие от шины адреса и шины данных состоит из отдельных управляющих сигналов. Каждый из этих сигналов во время обмена информацией имеет свою функцию. Некоторые сигналы служат для стробирования передаваемых или принимаемых данных (то есть определяют моменты времени, когда информационный код выставлен на шину данных). Другие управляющие сигналы могут использоваться для подтверждения приема данных, для сброса всех устройств в исходное состояние, для тактирования всех устройств и т.д. Линии шины управления могут быть однонаправленными или двунаправленными.

Наконец, шина питания предназначена не для пересылки информационных сигналов, а для питания системы. Она состоит из линий питания и общего провода. В микропроцессорной системе может быть один источник питания (чаще +5 В) или несколько источников питания (обычно еще -5 В, +12 В и -12 В). Каждому напряжению питания соответствует своя линия связи. Все устройства подключены к этим линиям параллельно.

Если в микропроцессорную систему надо ввести входной код (или входной сигнал), то процессор по шине адреса обращается к нужному устройству ввода/вывода и принимает по шине данных входную информацию. Если из микропроцессорной системы надо вывести выходной код (или выходной сигнал), то процессор обращается по шине адреса к нужному устройству ввода/вывода и передает ему по шине данных выходную информацию.

Если информация должна пройти сложную многоступенчатую обработку, то процессор может хранить промежуточные результаты в системной оперативной памяти. Для обращения к любой ячейке памяти процессор выставляет ее адрес на шину адреса и передает в нее информационный код по шине данных или же принимает из нее информационный код по шине данных. В памяти (оперативной и постоянной) находятся также и управляющие коды (команды выполняемой процессором программы), которые процессор также читает по шине данных с адресацией по шине адреса. Постоянная память используется в основном для хранения программы начального пуска микропроцессорной системы, которая выполняется каждый раз после включения питания. Информация в нее заносится изготовителем раз и навсегда.

Таким образом, в микропроцессорной системе все информационные коды и коды команд передаются по шинам последовательно, по очереди. Это определяет сравнительно невысокое быстродействие микропроцессорной системы. Оно ограничено обычно даже не быстродействием процессора (которое тоже очень важно) и не скоростью обмена по системной шине

(магистралами), а именно последовательным характером передачи информации по системной шине (магистралами).

Важно учитывать, что устройства ввода/вывода чаще всего представляют собой устройства на «жесткой логике». На них может быть возложена часть функций, выполняемых микропроцессорной системой. Поэтому у разработчика всегда имеется возможность перераспределять функции системы между аппаратной и программной реализациями оптимальным образом. Аппаратная реализация ускоряет выполнение функции, но имеет недостаточную гибкость. Программная реализация значительно медленнее, но обеспечивает высокую гибкость. Аппаратная реализация функций увеличивает стоимость системы и ее энергопотребление, программная — не увеличивает. Чаще всего применяется комбинирование аппаратных и программных функций.

Иногда устройства ввода/вывода имеют в своем составе процессор, то есть представляют собой небольшую специализированную микропроцессорную систему. Это позволяет переложить часть программных функций на устройства ввода/вывода, разгрузив центральный процессор системы.

Тема 4

РЕЖИМЫ РАБОТЫ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Микропроцессорная система обеспечивает большую гибкость работы, она способна настраиваться на любую задачу. Гибкость эта обусловлена прежде всего тем, что функции, выполняемые системой, определяются программой (программным обеспечением, software), которую выполняет процессор. Аппаратура (аппаратное обеспечение, hardware) остается неизменной при любой задаче. Записывая в память системы программу, можно заставить микропроцессорную систему выполнять любую задачу, поддерживаемую данной аппаратурой. К тому же шинная организация связей микропроцессорной системы позволяет довольно легко заменять аппаратные модули, например, заменять память на новую большего объема или более высокого быстродействия, добавлять или модернизировать устройства ввода/вывода, наконец, заменять процессор на более мощный. Это также позволяет увеличить гибкость системы, продлить ее жизнь при любом изменении требований к ней.

Но гибкость микропроцессорной системы определяется не только этим. Настраиваться на задачу помогает еще и выбор режима работы системы, то есть режима обмена информацией по системной магистрали (шине).

Практически любая развитая микропроцессорная система (в том числе и компьютер) поддерживает три основных режима обмена по магистрали:

- программный обмен информацией;
- обмен с использованием прерываний (Interrupts);
- обмен с использованием прямого доступа к памяти (ПДП, DMA — Direct Memory Access).

Программный обмен информацией является основным в любой микропроцессорной системе. Он предусмотрен всегда, без него невозможны другие режимы обмена. В этом режиме процессор является единоличным хозяином (или задатчиком, Master) системной магистрали. Все операции (циклы) обмена информацией в данном случае инициируются только процессором, все они выполняются строго в порядке, предписанном исполняемой программой.

Процессор читает (выбирает) из памяти коды команд и исполняет их, читая данные из памяти или из устройства ввода/вывода, обрабатывая их, записывая данные в память или передавая их в устройство ввода/вывода. Путь процессора по программе может быть линейным, циклическим, может содержать переходы (прыжки), но он всегда непрерывен и полностью находится под контролем процессора. Ни на какие внешние события, не связанные с программой, процессор не реагирует. Все сигналы на магистрали в данном случае контролируются процессором.

Обмен по прерываниям используется тогда, когда необходима реакция микропроцессорной системы на какое-то внешнее событие, на приход внешнего сигнала. В случае компьютера внешним событием может быть, например, нажатие на клавишу клавиатуры или приход по локальной сети пакета данных. Компьютер должен реагировать на это, соответственно, выводом символа на экран или же чтением и обработкой принятого по сети пакета.

В общем случае организовать реакцию на внешнее событие можно тремя различными путями:

- с помощью постоянного программного контроля факта наступления события (так называемый метод опроса флага или polling);
- с помощью прерывания, то есть насильственного перевода процессора с выполнения текущей программы на выполнение экстренно необходимой программы;
- с помощью прямого доступа к памяти, то есть без участия процессора при его отключении от системной магистрали.

Проиллюстрировать эти три способа можно следующим простым примером. Допустим, вы готовите себе завтрак, поставив на плиту кипятиться молоко. Естественно, на закипание молока надо реагировать, причем срочно. Как это организовать? Первый путь — постоянно следить за молоком, но тогда вы ничего другого не сможете делать. Правильнее будет регулярно поглядывать на молоко, делая одновременно что-то другое. Это программный режим с опросом флага. Второй путь — установить на кастрюлю с молоком датчик, который подаст звуковой сигнал при закипании молока, и спокойно заниматься другими делами. Услышав сигнал, вы выключите молоко. Правда, возможно, вам придется сначала закончить то, что вы начали делать, так что ваша реакция будет медленнее, чем в первом случае. Наконец, третий путь состоит в том, чтобы соединить датчик на кастрюле с управлением плитой так, чтобы при закипании молока горелка

была выключена без вашего участия (правда, аналогия с ПДП здесь не очень точная, так как в данном случае на момент выполнения действия вас не отвлекают от работы).

Первый случай с опросом флага реализуется в микропроцессорной системе постоянным чтением информации процессором из устройства ввода/вывода, связанного с тем внешним устройством, на поведение которого необходимо срочно реагировать.

Во втором случае в режиме прерывания процессор, получив запрос прерывания от внешнего устройства (часто называемый IRQ — Interrupt ReQuest), заканчивает выполнение текущей команды и переходит к программе обработки прерывания. Закончив выполнение программы обработки прерывания, он возвращается к прерванной программе с той точки, где его прервали. Здесь важно то, что вся работа, как и в случае программного режима, осуществляется самим процессором, внешнее событие просто временно отвлекает его. Реакция на внешнее событие по прерыванию в общем случае медленнее, чем при программном режиме. Как и в случае программного обмена, здесь все сигналы на магистрали выставляются процессором, то есть он полностью контролирует магистраль. Для обслуживания прерываний в систему иногда вводится специальный модуль контроллера прерываний, но он в обмене информацией не участвует. Его задача состоит в том, чтобы упростить работу процессора с внешними запросами прерываний. Этот контроллер обычно программно управляется процессором по системной магистрали.

Естественно, никакого ускорения работы системы прерывание не дает. Его применение позволяет только отказаться от постоянного опроса флага внешнего события и временно, до наступления внешнего события, занять процессор выполнением каких-то других задач.

Прямой доступ к памяти (ПДП, DMA) — это режим, принципиально отличающийся от двух ранее рассмотренных режимов тем, что обмен по системной шине идет без участия процессора. Внешнее устройство, требующее обслуживания, сигнализирует процессору, что режим ПДП необходим, в ответ на это процессор заканчивает выполнение текущей команды и отключается от всех шин, сигнализируя запросившему устройству, что обмен в режиме ПДП можно начинать.

Операция ПДП сводится к пересылке информации из устройства ввода/вывода в память или же из памяти в устройство ввода/вывода. Когда пересылка информации будет закончена, процессор вновь возвращается к прерванной программе, продолжая ее с той точки, где его прервали. Это похоже на режим обслуживания прерываний, но в данном случае процессор не участвует в обмене. Как и в случае прерываний, реакция на внешнее событие при ПДП существенно медленнее, чем при программном режиме.

Понятно, что в этом случае требуется введение в систему дополнительного устройства (контроллера ПДП), которое будет осуществлять полноценный обмен по системной магистрали без всякого участия процессора. Причем процессор предварительно должен сообщить

этому контроллеру ПДП, откуда ему следует брать информацию и/или куда ее следует помещать. Контроллер ПДП может считаться специализированным процессором, который отличается тем, что сам не участвует в обмене, не принимает в себя информацию и не выдает ее.

В принципе контроллер ПДП может входить в состав устройства ввода/вывода, которому необходим режим ПДП или даже в состав нескольких устройств ввода/вывода. Теоретически обмен с помощью прямого доступа к памяти может обеспечить более высокую скорость передачи информации, чем программный обмен, так как процессор передает данные медленнее, чем специализированный контроллер ПДП. Однако на практике это преимущество реализуется далеко не всегда. Скорость обмена в режиме ПДП обычно ограничена возможностями магистрали. К тому же необходимость программного задания режимов контроллера ПДП может свести на нет выигрыш от более высокой скорости пересылки данных в режиме ПДП. Поэтому режим ПДП применяется редко.

Если в системе уже имеется самостоятельный контроллер ПДП, то это может в ряде случаев существенно упростить аппаратуру устройств ввода/вывода, работающих в режиме ПДП. В этом, пожалуй, состоит единственное бесспорное преимущество режима ПДП. Контроллер прерываний. Управление аппаратными прерываниями в IBM PC. Микросхема программируемого контроллера прерываний Intel 8259. Схема приоритетов по запросов в контроллере прерываний. Запрос на прерывание (IRQ0 - IRQ15). Максимальный приоритет нулевого уровня. Добавочные 8 уровней и вторая микросхема Intel 8259. Аппаратные прерывания в порядке приоритета.

Максимальный приоритет системных часов. Прерывание от клавиатуры. Структура микросхемы 8259 (три однобайтных регистра, восемь линий аппаратных прерываний). Регистр запроса на прерывание (IRR). Проверка на параллельную обработку прерывания. Информация регистра обслуживания (ISR). Дополнительная цепь обработки схемы приоритетов. Проверка регистра маски прерываний (IMR). Порт 21H. Командный регистр прерываний (порт 20H).

Режим прямого доступа к памяти (ПДП, DMA). Обмен по системной шине без участия процессора. Внешнее устройство, требующее обслуживания в режиме ПДП. Необходимость использования режима прямого доступа в память внешними устройствами.

Операции в режиме ПДП с устройства ввода/вывода в память или из памяти. Работа процессора в режиме ПДП. Схожесть режима ПДП и режима обслуживания прерываний процессора. Необходимость введение в систему дополнительного устройства (контроллера ПДП). Роль контроллера ПДП в микропроцессорной системе. Контроллер ПДП как специализированный контроллер управления.

Скорость обмена данными в режиме ПДП. Ограничения возможностей магистрали. Необходимость программного задания режимов работы контроллера ПДП.

Тема 5

КОНТРОЛЛЕР ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА

Порт параллельного интерфейса в ПК (LPT-порт). Подключение принтера. Адаптер параллельного интерфейса. Набор регистров, расположенных в пространстве ввода/вывода. Адресация регистров порта относительно базового адреса порта. Стандартные значения адреса порта (3BCh, 378h и 278h). Использование линии запроса аппаратного прерывания (IR07 или IRQ5). Внешняя 8-битная шину данных порта. Использование 5-битной шины сигналов состояния. Внутренняя 4-битная шина управляющих сигналов.

Традиционный (стандартный) однонаправленный порт SPP (Standard Parallel Port). Программная реализация протокола обмена Centronics. Понятие Centronics. Набор сигналов и протокол взаимодействия Centronics. Физический интерфейс Centronics и его цоколевка (36-контактный разъем).

Стандарт параллельного интерфейса IEEE 1284. Пять режимов обмена данными. Метод согласования режима. Физический и электрический интерфейсы. Режимы обмена данными через параллельный порт. CompatibNity Mode — однонаправленный (вывод) по протоколу Centronics. Nibble Mode — ввод байта в два цикла (по 4 бита), используя для приема линии состояния. Byte Mode — ввод байта целиком, используя для приема линии данных. EPP (Enhanced Parallel Port) Mode — двунаправленный обмен данными, при котором управляющие сигналы интерфейса генерируются аппаратно во время цикла обращения к порту (чтения или записи в порт). ECP (Extended Capability Port) Mode — двунаправленный обмен данными с возможностью аппаратного сжатия данных по методу RLE (Run Length Encoding) и использования FIFO-буферов и DMA.

Тема 6

КОНТРОЛЛЕР ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА

Последовательный интерфейс. Использование одной сигнальной линии для передачи данных в одну сторону. Последовательная передача информационных бит. Режимы работы при последовательной передаче данных. Асинхронный и синхронный режимы работы последовательного порта.

Старт-стопный (асинхронный) режим работы порта. Старт-бит, бит паритета (контроля четности) и стоп-бит. Стандартные скорости обмена для асинхронного режима. Количество бит данных (5,6,7,8). Количество стоп-бит (1, 1,5 и 2). Длительность стопового интервала. Асинхронный обмен в персональном компьютере. Понятие COM-порта. Использование протокола RS-232C. Постоянная активность канала связи в синхронном режиме передачи. Посылка синхробайта и поток информационных бит. Различные реализации последовательного интерфейса на физическом уровне. Способы передачи электрических сигналов. Международные стандарты: RS-232C, RS-423A, RS-422A и RS-485. Подключение аппаратуры передающей или

принимающей данные по интерфейсу RS-232C. ООД — окончное оборудование данных или АПД(DTE)— аппаратура передачи данных. Оконечная аппаратура каналов данных (АКД или DCE). Описание управляющих сигналов интерфейса, пересылку данных, электрический интерфейс и типы разъемов.

USART - это один из модулей последовательного порта ввода/вывода в микроконтроллере (имеет существенные отличия от модуля SSP), который может работать в полнодуплексном асинхронном режиме для связи с терминалами, персональными компьютерами или синхронном полудуплексном режиме для связи с микросхемами ЦАП, АЦП, последовательными EEPROM и т.д.

USART может работать в одном из трех режимов:

- Асинхронный, полный дуплекс;
- Ведущий синхронный, полудуплекс;
- Ведомый синхронный, полудуплекс.

Конфигурация приемника и передатчика последовательного порта ввода-вывода осуществляется с помощью регистров TXSTA и RCSTA (таблицы 1 и 3).

Биты SPEN (RCSTA<7>) и TRIS должны быть установлены в '1' для использования выводов TX/CK и RX/DT в качестве портов универсального синхронно-асинхронного приемопередатчика. Модуль USART поддерживает режим детектирования 9-разрядного адреса для работы в сетевом режиме.

Генератор частоты обмена USART BRG. BRG используется для работы USART в синхронном ведущем и асинхронном режимах. BRG представляет собой отдельный 8-разрядный генератор скорости обмена в бодах, период которого определяется значением в регистре SPBRG. В асинхронном режиме бит BRGH (TXSTA<2>) тоже влияет на скорость обмена (в синхронном режиме бит BRGH игнорируется). В таблице 2 указаны формулы для вычисления скорости обмена в бодах при различных режимах работы модуля USART (относительно внутреннего тактового сигнала микроконтроллера).

Учитывая требуемую скорость и Fosc, выбирается самое близкое целое значение для записи в регистр SPBRG (от 0 до 255), рассчитанное по формулам, приведенным в таблице 2. Затем рассчитывается ошибка скорости обмена.

Таблица 1 – Формулы расчета скорости обмена данными

SYNC	BRGH=0	BRGH=1
0	Скорость обмена= $F_{osc}/(64(x+1))$	Скорость обмена= $F_{osc}/(16(x+1))$
1	Скорость обмена= $F_{osc}/(4(x+1))$	Скорость обмена= $F_{osc}/(4(x+1))$

X = значение регистра SPBRG (от 0 до 255)

В некоторых случаях может быть выгодно использовать высокоскоростной режим работы USART {BRGH=1}, поскольку уравнение $F_{OSC} / (16 (X + 1))$ позволяет уменьшить погрешность скорости.

Запись нового значения в регистр SPBRG сбрасывает таймер BRG, гарантируя немедленный переход на новую скорость.

Асинхронный режим USART

В этом режиме USART использует стандартный формат NRZ: один стартовый бит, восемь или девять битов данных и один стоповый бит. Наиболее часто встречается 8-разрядный формат передачи данных. Интегрированный 8-разрядный генератор BRG позволяет получить стандартные скорости передачи данных. Генератор скорости обмена может работать в одном из двух режимов: высокоскоростной ($\times 16$ BRGH=1 TXSTA<2>), низкоскоростной ($\times 64$ BRGH=0 TXSTA<2>). Приемник и передатчик последовательного порта работают независимо друг от друга, но используют один и тот же формат данных и одинаковую скорость обмена. Бит четности аппаратно не поддерживается, но может быть реализован программно, применяя 9-разрядный формат данных. Все данные передаются младшим битом вперед. В SLEEP режиме микроконтроллера модуль USART {асинхронный режим} выключен.

Выбор асинхронного режима USART выполняется сбросом бита SYNC в '0' (TXSTA<4>).

Модуль USART в асинхронном режиме состоит из следующих элементов:

- Генератор скорости обмена;
- Цепь опроса;
- Асинхронный передатчик;
- Асинхронный приемник.

Асинхронный передатчик USART. Главным в передатчике является сдвиговый регистр TSR, который получает данные из буфера передатчика TXREG. Данные в регистр TXREG загружаются программно. После передачи стопового бита предыдущего байта, в последнем машинном такте цикла BRG, TSR загружается новым значением из TXREG (если оно присутствует), после чего устанавливается флаг прерывания TXIF. Прерывание может быть разрешено или запрещено битом TXIE. Флаг TXIF устанавливается независимо от состояния бита TXIE и не может быть сброшен в '0' программно. Очистка флага TXIF происходит только после загрузки новых данных в регистр TXREG. Аналогичным образом бит TRMT (TXSTA<1>) отображает состояние регистра TSR. Бит TRMT доступен только на чтение и не может вызвать генерацию прерывания.

Для разрешения передачи необходимо установить бит TXEN (TXSTA<5>) в '1'. Передача данных не начнется до тех пор, пока в TXREG не будут загружены новые данные; не придет очередной тактовый импульс от генератора BRG. Можно сначала загрузить данные в TXREG, а затем установить бит TXEN. Как правило, после разрешения передачи регистр TSR пуст, таким образом, данные, записываемые в TXREG, сразу передаются в TSR, а TXREG остается пустым. Это позволяет реализовать слитную передачу данных. Сброс бита TXEN в '0' вызовет немедленное прекращение передачи, сброс передатчика и перевод вывода TX/CK в третье состояние.

Для разрешения 9-разрядной передачи необходимо установить бит TX9 (TXSTA<6>) в '1'. Девятый бит данных записывается в бит TX9D

(TXSTA<0>). Девятый бит данных должен быть указан до записи в регистр TXREG, потому что данные, записанные в регистр TXREG, могут быть сразу загружены в сдвиговый регистр TSR (если он пуст).

Рекомендованная последовательность действий для передачи данных в асинхронном режиме:

1. Установить требуемую скорость передачи с помощью регистра SPBRG и бита BRGH.
2. Выбрать асинхронный режим сбросом бита SYNC в '0' и установкой бита SPEN в '1'.
3. Если необходимо, разрешить прерывания установкой битов TXIE, PEIE, GIE в Т.
4. Если передача 9-разрядная, установить бит TX9 в '1'.
5. Разрешить передачу установкой бита TXEN в '1', автоматически устанавливается флаг TXIF.
6. Если передача 9-разрядная, записать 9-й бит данных в TX9D.
7. Записать данные в регистр TXREG (начало передачи данных).

Асинхронный приемник USART. Данные подаются на вход RX/DT в блок восстановления данных, представляющий собой скоростной сдвиговый регистр, работающий на частоте в 16 раз превышающей скорость передачи или Fosc.

Включение приемника производится установкой бита CREN (RCSTA<4>) в '1'.

Тема 7

ЗАПОМИНАЮЩИЕ ЭЛЕМЕНТЫ И УСТРОЙСТВА

Память персонального компьютера. Классификация памяти. Функциональное назначение. Принцип организации памяти. Логическая организация памяти. Конструктивная и технологическая реализация. Основные типы памяти персонального компьютера. Оперативная и постоянная память. Понятие единого адресного пространства памяти. Оперативная память как временное хранилище программ и данных. Постоянная память. Регистровые и буферные запоминающие устройства. Служебные ЗУ. Дополнительные ЗУ. ЗУ функциональных блоков. Жесткие диски. Внешние ЗУ. Объем различных типов памяти. Быстродействие памяти. Надежность различных типов памяти. Возможность быстрой замены информации. Способ доступа, реализуемый в различных типах памяти.

Память микропроцессорной системы выполняет функцию временного или постоянного хранения данных и команд. Объем памяти определяет допустимую сложность выполняемых системой алгоритмов, а также в некоторой степени и скорость работы системы в целом. Модули памяти выполняются на микросхемах памяти (оперативной или постоянной). Все чаще в составе микропроцессорных систем используется флэш-память (англ.

— flash memory), которая представляет собой энергонезависимую память с возможностью многократной перезаписи содержимого.

Информация в памяти хранится в ячейках, количество разрядов которых равно количеству разрядов шины данных процессора. Обычно оно кратно восьми (например, 8, 16, 32, 64). Допустимое количество ячеек памяти определяется количеством разрядов шины адреса как 2^N , где N — количество разрядов шины адреса. Чаще всего объем памяти измеряется в байтах независимо от разрядности ячейки памяти. Используются также следующие более крупные единицы объема памяти: килобайт — 2¹⁰ или 1024 байта (обозначается Кбайт), мегабайт — 2²⁰ или 1 048 576 байт (обозначается Мбайт), гигабайт — 2³⁰ байт (обозначается Гбайт), терабайт — 2⁴⁰ (обозначается Тбайт). Например, если память имеет 65 536 ячеек, каждая из которых 16-разрядная, то говорят, что память имеет объем 128 Кбайт. Совокупность ячеек памяти называется обычно пространством памяти системы.

Для подключения модуля памяти к системной магистрали используются блоки сопряжения, которые включают в себя дешифратор (селектор) адреса, схему обработки управляющих сигналов магистрали и буферы данных.

Оперативная память общается с системной магистралью в циклах чтения и записи, постоянная память — только в циклах чтения. Обычно в составе системы имеется несколько модулей памяти, каждый из которых работает в своей области пространства памяти. Селектор адреса как раз и определяет, какая область адресов пространства памяти отведена данному модулю памяти. Схема управления вырабатывает в нужные моменты сигналы разрешения работы памяти (CS) и сигналы разрешения записи в память (WR). Буферы данных передают данные от памяти к магистрали или от магистрали к памяти.

В пространстве памяти микропроцессорной системы обычно выделяются несколько особых областей, которые выполняют специальные функции.

Память программы начального запуска всегда выполняется на ПЗУ или флэш-памяти. Именно с этой области процессор начинает работу после включения питания и после сброса его с помощью сигнала RESET.

Память для стека или стек (Stack) — это часть оперативной памяти, предназначенная для временного хранения данных в режиме LIFO (Last In — First Out).

Особенность стека по сравнению с другой оперативной памятью — это заданный и неизменяемый способ адресации. При записи любого числа (кода) в стек число записывается по адресу, определяемому как содержимое регистра указателя стека, предварительно уменьшенное (декрементированное) на единицу (или на два, если 16-разрядные слова расположены в памяти по четным адресам). При чтении из стека число читается из адреса, определяемого содержимым указателя стека, после чего это содержимое указателя стека увеличивается (инкрементируется) на единицу (или на два). В результате получается, что число, записанное последним, будет прочитано первым, а число, записанное первым, будет

прочитано последним. Такая память называется LIFO или памятью магазинного типа (например, в магазине автомата патрон, установленный последним, будет извлечен первым).

Пусть, например, текущее состояние указателя стека 1000008, и в него надо записать два числа (слова). Первое слово будет записано по адресу 1000006 (перед записью указатель стека уменьшится на два). Второе — по адресу 1000004. После записи содержимое указателя стека — 1000004. Если затем прочитать из стека два слова, то первым будет прочитано слово из адреса 1000004, а после чтения указатель стека станет равным 1000006. Вторым будет прочитано слово из адреса 1000006, а указатель стека станет равным 1000008. Все вернулось к исходному состоянию. Первое записанное слово читается вторым, а второе — первым.

Необходимость такой адресации становится очевидной в случае многократно вложенных подпрограмм. Пусть, например, выполняется основная программа, и из нее вызывается подпрограмма 1. Если нам надо сохранить значения данных и внутренних регистров основной программы на время выполнения подпрограммы, мы перед вызовом подпрограммы сохраним их в стеке (запишем в стек), а после ее окончания извлечем (прочитаем) их из стека. Если же из подпрограммы 1 вызывается подпрограмма 2, то ту же самую операцию мы сделаем с данными и содержимым внутренних регистров подпрограммы 1. Понятно, что внутри подпрограммы 2 крайними в стеке (читаемыми в первую очередь) будут данные из подпрограммы 1, а данные из основной программы будут глубже. При этом в случае чтения из стека автоматически будет соблюдаться нужный порядок читаемой информации. То же самое будет и в случае, когда таких уровней вложения подпрограмм гораздо больше. То есть то, что надо хранить подольше, прячется поглубже, а то, что скоро может потребоваться — с краю.

В системе команд любого процессора для обмена информацией со стеком предусмотрены специальные команды записи в стек (PUSH) и чтения из стека (POP). В стеке можно прятать не только содержимое всех внутренних регистров процессоров, но и содержимое регистра признаков (слово состояния процессора, PSW). Это позволяет, например, при возвращении из подпрограммы контролировать результат последней команды, выполненной непосредственно перед вызовом этой подпрограммы. Можно также хранить в стеке и данные, для того чтобы удобнее было передавать их между программами и подпрограммами. В общем случае, чем больше область памяти, отведенная под стек, тем больше свободы у программиста и тем более сложные программы могут выполняться.

Следующая специальная область памяти — это таблица векторов прерываний.

Вообще, понятие прерывания довольно многозначно. Под прерыванием в общем случае понимается не только обслуживание запроса внешнего устройства, но и любое нарушение последовательной работы процессора. Например, может быть предусмотрено прерывание по факту некорректного

выполнения арифметической операции типа деления на ноль. Или же прерывание может быть программным, когда в программе используется команда перехода на какую-то подпрограмму, из которой затем последует возврат в основную программу. В последнем случае общее с истинным прерыванием только то, как осуществляется переход на подпрограмму и возврат из нее.

Любое прерывание обрабатывается через таблицу векторов (указателей) прерываний. В этой таблице в простейшем случае находятся адреса начала программ обработки прерываний, которые и называются векторами. Длина таблицы может быть довольно большой (до нескольких сот элементов). Обычно таблица векторов прерываний располагается в начале пространства памяти (в ячейках памяти с малыми адресами). Адрес каждого вектора (или адрес начального элемента каждого вектора) представляет собой номер прерывания.

В случае аппаратных прерываний номер прерывания или задается устройством, запросившим прерывание (при векторных прерываниях), или же задается номером линии запроса прерываний (при радиальных прерываниях). Процессор, получив аппаратное прерывание, заканчивает выполнение текущей команды и обращается к памяти в область таблицы векторов прерываний, в ту ее строку, которая определяется номером запрошенного прерывания. Затем процессор читает содержимое этой строки (код вектора прерывания) и переходит в адрес памяти, задаваемый этим вектором. Начиная с этого адреса в памяти должна располагаться программа обработки прерывания с данным номером. В конце программы обработки прерываний обязательно должна располагаться команда выхода из прерывания, выполнив которую, процессор возвращается к выполнению прерванной основной программы. Параметры процессора на время выполнения программы обработки прерывания сохраняются в стеке.

Пусть, например, процессор выполнял основную программу и команду, находящуюся в адресе памяти 5000 (условно). В этот момент он получил запрос прерывания с номером (адресом вектора) 4. Процессор заканчивает выполнение команды из адреса 5000. Затем он сохраняет в стеке текущее значение счетчика команд (5001) и текущее значение PSW. После этого процессор читает из адреса 4 памяти код вектора прерывания. Пусть этот код равен 6000. Процессор переходит в адрес памяти 6000 и приступает к выполнению программы обработки прерывания, начинающейся с этого адреса. Пусть эта программа заканчивается в адресе 6100. Дойдя до этого адреса, процессор возвращается к выполнению прерванной программы. Для этого он извлекает из стека значение адреса (5001), на котором его прервали, и бывшее в тот момент PSW. Затем процессор читает команду из адреса 5001 и дальше последовательно выполняет команды основной программы.

Прерывание в случае аварийной ситуации обрабатывается точно так же, только адрес вектора прерывания (номер строки в таблице векторов) жестко привязан к данному типу аварийной ситуации.

Программное прерывание тоже обслуживается через таблицу векторов прерываний, но номер прерывания указывается в составе команды, вызывающей прерывание.

Такая сложная, на первый взгляд, организация прерываний позволяет программисту легко менять программы обработки прерываний, располагать их в любой области памяти, делать их любого размера и любой сложности.

Во время выполнения программы обработки прерывания может поступить новый запрос на прерывание. В этом случае он обрабатывается точно так же, как описано, но основной программой считается прерванная программа обработки предыдущего прерывания. Это называется многократным вложением прерываний. Механизм стека позволяет без проблем обслуживать это многократное вложение, так как первым из стека извлекается тот код, который был сохранен последним, то есть возврат из обработки данного прерывания происходит в программу обработки предыдущего прерывания.

Отметим, что в более сложных случаях в таблице векторов прерываний могут находиться не адреса начала программ обработки прерываний, а так называемые дескрипторы (описатели) прерываний. Но конечным результатом обработки этого дескриптора все равно будет адрес начала программы обработки прерываний.

Наконец, еще одна специальная область памяти микропроцессорной системы — это память устройств, подключенных к системной шине. Такое решение встречается нечасто, но иногда оно очень удобно. То есть процессор получает возможность обращаться к внутренней памяти устройств ввода/вывода или каких-то еще подключенных к системной шине устройств, как к своей собственной системной памяти. Обычно окно в пространстве памяти, выделяемое для этого, не слишком большое.

Все остальные части пространства памяти, как правило, имеют универсальное назначение. В них могут располагаться как данные, так и программы (конечно, в случае одношинной архитектуры). Иногда это пространство памяти используется как единое целое, без всяких границ. А иногда пространство памяти делится на сегменты с программно изменяемым адресом начала сегмента и с установленным размером сегмента. Оба подхода имеют свои плюсы и минусы. Например, использование сегментов позволяет защитить область программ или данных, но зато границы сегментов могут затруднять размещение больших программ и массивов данных.

В заключение остановимся на проблеме разделения адресов памяти и адресов устройств ввода/вывода. Существует два основных подхода к решению этой проблемы:

- выделение в общем адресном пространстве системы специальной области адресов для устройств ввода/вывода;

- полное разделение адресных пространств памяти и устройств ввода/вывода.

Первый подход хорош тем, что при обращении к устройствам ввода/вывода процессор может использовать те же команды, которые служат для взаимодействия с памятью. Но адресное пространство памяти должно

быть уменьшено на величину адресного пространства устройств ввода/вывода. Например, при 16-разрядной шине адреса всего может быть 64К адресов. Из них 56К адресов отводится под адресное пространство памяти, а 8К адресов — под адресное пространство устройств ввода/вывода.

Преимущество второго подхода состоит в том, что память занимает все адресное пространство микропроцессорной системы. Для общения с устройствами ввода/вывода применяются специальные команды и специальные стробы обмена на магистрали. Именно так сделано, например, в персональных компьютерах. Но возможности взаимодействия с устройствами ввода/вывода в данном случае существенно ограничены по сравнению с возможностями общения с памятью.

Раздел 3 Микропроцессоры семейств Intel (AMD)

Тема 1

МИКРОПРОЦЕССОРЫ СЕМЕЙСТВА INTEL И AMD

Развитие технологии производства процессоров Intel. Первый революционный 32-разрядный процессор Intel 80386 (1985 г.). Основные характеристики Intel 80386. Адресация в i80386 (32-разрядная адресная шина). Развитая система управления памятью MMU (Memory Management Unit). Микропроцессор Intel 486DX (1989 г.) и его основные характеристики. Встроенный математический сопроцессор и внутренняя кэш-память. Технология умножения тактовой частоты. Процессоры Intel Pentium (1995). Внутренняя 32-разрядная архитектура Intel Pentium. Внешняя 64-разрядная шина данных. Intel Pentium как первые суперскалярные процессоры RISC архитектуры (более высокое быстродействие при той же тактовой частоте). Технология Pentium MMX. Микроархитектура Pentium II, Pentium III, Pentium IV, Xeon.

Intel CORE, Nehalem (1 поколение), рождение Intel Core i3, i5 и i7. Премьера: 2009 (45 нм) и 2010 (32 нм). Архитектура: Nehalem (45 нм) и Westmere (32 нм). Технологический процесс: 45 нм (Lynnfield) и 32 нм (Clarkdale). Разъём: LGA 1156

Некоторые модели процессоров: i3-530, i5-660, i5-750, i5-760, i7-870

2006 год стал прорывом для Intel и всего рынка процессоров. По простой причине: наступила новая эра: архитектура Intel Core, которая также стала прорывом с брендом Pentium. Но, прошло несколько лет, заполненных Core 2 Duo и Core 2 Quad, прежде чем «синие» создали новое семейство: Intel Core Nehalem, поскольку он дебютировал в 2008 году, хотя сначала он шёл на системы Bloomfield (LGA 1366), предназначенные для платформы HEDT (High-End Desktop).

Первые потребительские процессоры Intel Core (Lynnfield), изготовленные по 45-нанометровому техпроцессу, появились менее чем через год (i5-750 и топовые Core i7-860 и i7-870). В 2010 году процессоры среднего уровня (Core i5) и высокого уровня (Core i7) были дополнены

процессорами низкого уровня (Core i3). Таким образом, Intel четко определила сегменты своих процессоров, которые работают до сих пор.

Процессоры под кодовым названием Lynnfield предлагали значительно лучшую производительность, чем легендарные процессоры серии AMD Phenom. Несмотря на это, в первом поколении Intel не сказала последнего слова. В начале 2010 года компания подготовила более энергоэффективные процессоры с 32-нанометровой литографией (Westmere), впервые представив процессор под кодовым названием Clarkdale из ранее упомянутой серии Intel Core i3. Обновленные модели отличались ещё и тем, что были оснащены iGPU Intel HD Graphics.

Intel Core i3 оснащены iGPU Intel HD Graphics

Nehalem были первыми потребительскими процессорами Intel, которые поддерживали память DDR3 и технологию Turbo Boost (повышает тактовую частоту, например, в играх, и, таким образом, увеличивает производительность). Он получил дальнейшее развитие в процессорах Intel Core. Технология Hyper-Threading (HT) вернулась на избранные устройства. Вишенкой на торте стал кэш L3, который стал популярным благодаря Nehalem.

Intel Sandy Bridge (2 поколение) – шаг к повышению производительности

Премьера: январь 2011 г. Архитектура: Sandy Bridge. Технологический процесс: 32 нм Разъём: LGA 1155

Некоторые модели процессоров: i5-2500K и i7-2600K

Возможности процессоров Sandy Bridge оправдали или даже превзошли ожидания. По производительности они явно превзошли Intel Core первого поколения и даже опередили конкурентов. Intel использовала 32-нанометровый процесс, известный по процессорам Westmere, но новый процессор использовал новый сокет, а значит, и новые материнские платы.

Презентация процессоров Intel Sandy Bridge

Процессоры Intel Core 2-го поколения имели встроенный графический чип, на этот раз развёрнутый в более крупном масштабе. Они отличались монолитной структурой, поэтому iGPU – в отличие от Westmere – размещался внутри одной матрицы. Графический чип поддерживал DirectX 10.1, OpenGL 3.1 и Shader Model 4.1.

В серии также впервые представлены процессоры, поддерживающие векторные инструкции AVX (Advanced Vector Extensions) и аппаратное ускорение обработки мультимедиа (для кодеков H.264, VC-1 и MPEG-2) благодаря технологии Intel Quick Sync Video. Более того, подсистемы процессора были внутренне связаны кольцевой шиной с очень высокой пропускной способностью, которая отвечала за связь между ядрами и остальными компонентами ЦП.

Intel Sandy Bridge предложил новую версию Turbo Boost (2.0). Сами тактовые частоты в новой серии также увеличились по сравнению с предыдущим поколением. Процессоры Intel Sandy Bridge стали огромным хитом и произвели даже лучшее впечатление, если учесть значительно

меньшее энергопотребление и лучшие возможности ОС, чем у Intel Core 1-го поколения. Только версии К имели разблокированный множитель, что Intel делает до сих пор.

Intel Ivy Bridge (3 поколение) – небольшая эволюция. Премьера: апрель 2012 г. Архитектура: Ivy Bridge. Технологический процесс: 22 нм. Разъём: LGA 1155.

Некоторые модели процессоров: i5-3570К, i7-3770К

Ждать третьего поколения Intel Core пришлось меньше полутора лет. Вместе с улучшенной архитектурой «синяя команда» смогла перейти на более низкий технологический процесс (22 нм вместо 32 нм).

Ivy Bridge также был первым процессором, отказавшимся от 2D-транзисторной архитектуры (небольшой электрический переключатель) в пользу транзисторов 3D Tri-Gate. Эти изменения позволили эффективно снизить энергопотребление за счёт повышения эффективности или получить на 50% меньшее потребление энергии при той же эффективности.

Более того, процессорам не требовался новый сокет – Intel осталась с LGA 1155, что было хорошей новостью. В конце концов, пользователи хотели – и всё ещё хотят – менять материнские платы как можно реже (на старых чипах требовалось обновление BIOS).

К сожалению, это поколение, в котором Intel на долгое время отказалась от паяных теплообменников (IHS), которые обеспечивали лучшие тепловые свойства.

В конечном итоге, в процессорах Intel Core 3-го поколения кардинальных изменений не произошло. Это не значит, что их там вообще не было. В дополнение к более низкой литографии и технологии Tri-Gate, Ivy Bridge обеспечил поддержку PCI-Express 3.0 и более быстрой памяти DDR3, а также более мощных iGPU. Фактически, процессоры оказались лишь незначительным развитием очень удачного Sandy Bridge.

Intel Haswell (4 поколение) – очень эффективный процессор. Премьера: июнь 2013 г. (Haswell) и июнь 2014 г. (Devil's Canyon). Архитектура: Haswell. Технологический процесс: 22 нм. Разъём: LGA 1150

Некоторые модели процессоров: i5-4570, i5-4670К, i5-4690К, i7-4770К, i7-4790К.

Следующее поколение, Haswell, не изменило литографию, и мы остались с 22-нм процессорами. Тем не менее, потребовался новый сокет. В самой архитектуре Intel внесла небольшие изменения. Улучшили механизмы энергосбережения и расширили поддержку инструкций за счёт 256-битного AVX2, FMA (Fused Multiply-Add), который ускоряет обработку данных, или TSX (Transactional Synchronization Extensions), который отвечает за масштабирование производительности при многопоточной обработке. Последние были позже отключены Intel для повышения безопасности.

Представление преимуществ процессора Intel Haswell

Новые ЦП также поддерживали аппаратное шифрование AES-NI (наконец-то!). Графические чипы в Haswell были первыми, кто поддерживал API DirectX 12.0 в «синих» модулях (первоначально упоминался DX 11.1).

Год спустя Intel обновила процессоры. Haswell Refresh, или Devil's Canyon, был (очень) небольшим улучшением (i5-4690K и i7-4790K). Intel добавила конденсаторы и использовала новый теплопроводящий материал (NGPTIM – полимерный термоинтерфейсный материал нового поколения). Более высокие тактовые частоты и немного больше потенциала разгона, которые были ответом на несколько ограниченные возможности разгона Haswells, было недостаточно. Процессоры не всколыхнули умы компьютерных энтузиастов, хотя в то время они были самыми быстрыми на рынке.

Intel Broadwell (5 поколение) – процессоры, которые почти никто не помнит. Премьера: июнь 2015 г. Архитектура: Broadwell. Технологический процесс: 14 нм. Разъём: LGA 1150.

Модели процессоров: i5-5675C и i7-5775C

Intel Broadwell – это особые и забытые процессоры, которыми воспользовались очень мало обычных пользователей ПК. Это неудивительно, поскольку они даже не заменили весь ассортимент процессоров предыдущего поколения. Intel полностью исключила настольные модели с полки недорогой производительности, сосредоточившись на рынке мобильных устройств. Фактически в продажу поступило всего две потребительские модели: Intel Core i5-5675C и Core i7-5775C.

Процессоры Intel Broadwell для настольных ПК были разработаны с более низким технологическим процессом, чем серия Haswell, и предназначались для материнских плат с тем же сокетом.

Запомните: не Skylake, а Broadwell был первым 14-нм процессором Intel для настольных ПК.

Время их внедрения было неподходящим, потому что нас ждал дебют более современной платформы – Intel Skylake. Между 5-м и 6-м поколениями Intel Core прошло всего... два месяца! Точно так же процессоры серии Intel Broadwell могли не появиться, и мало кто их заметил бы. Просто они вышли слишком поздно. Позже Intel пожалела и признала ошибку.

Broadwell представили кэш-память L4 большой емкости (128 МБ eDRAM), которая особенно повышает производительность в играх. Это можно увидеть на тестах в требовательных и относительно свежих играх, таких как RDR 2. Intel Core i7-5775C, несмотря на устаревшую архитектуру, работает с ними на удивление хорошо, иногда предлагая даже более высокую производительность, чем гораздо более новый Ryzen 5 3600.

Процессоры Intel Broadwell также предлагали мощную интегрированную графику Intel Iris Pro (6200). У них было значительно увеличенное количество исполнительных блоков по сравнению с серией Intel Graphics HD 4000, известной по Haswell (48 вместо 20).

Intel Skylake (6 поколение) – уже работает с DDR4. Премьера: август 2015 г. Архитектура: Skylake. Технологический процесс: 14 нм. Разъём: LGA 1151. Некоторые модели процессоров: i5-6500K, i7-6700K

Intel Skylake – это архитектура, которая быстро заменила не очень популярные процессоры Broadwell. Они были изготовлены в том же

технологическом размере 14 нанометров. Самым большим нововведением стало введение в потребительский ЦП поддержки памяти DDR4, которой не хватало в Broadwell. Здесь использовался двухканальный контроллер памяти. Поддержка оперативной памяти включала не только более высокие частоты DDR4, но и низковольтную DDR3L.

Интересно, что в Intel SkyLake производитель избавился от большой кэш-памяти L4, которая сильно помогала процессорам Broadwell в играх.

В серии SkyLake также отсутствует система питания на основе встроенного регулятора напряжения (FIVR), представленная в сериях Haswell и Broadwell. Это увеличило температуру процессора и ограничило возможности разгона.

В конце концов, премьера процессоров Intel SkyLake стала периодом значительных изменений – не только новой архитектуры, но и новой оперативной памяти, сокета и iGPU. Тем не менее, они не привели к резкому повышению производительности – как в приложениях, так и в играх. В последних они даже проигрывали Intel Broadwell из-за отсутствия модуля eDRAM.

Intel Kaby Lake (7 поколение) – большое разочарование. Премьера: январь 2017 г. Архитектура: Kaby Lake. Технологический процесс: 14 нм +. Разъём: LGA 1151. Некоторые модели процессоров: i5-7600K, i7-7700K

Серия Intel Kaby Lake укрепила сильные позиции Intel на рынке процессоров. Поскольку у этих процессоров не было большой конкуренции, Intel почилла на лаврах. Они оказались относительно незначительным улучшением архитектуры SkyLake.

Предоставление процессоров Intel Kaby Lake

Однако, более высокие тактовые частоты или аппаратная поддержка (де)кодирования видео H.265 / HEVC-10-bit и VP9 в iGPU были немного похожи на новое поколение. В свою очередь, улучшения в архитектуре привели к увеличению производительности, примерно, на 10% по сравнению с Intel SkyLake. После полутора лет все ждали чего-то большего.

Intel Coffee Lake (8 поколение) – больше ядер. Премьера: октябрь 2017 г. Архитектура: Coffee Lake. Технологический процесс: 14 нм ++. Разъём: LGA 1151. Некоторые модели процессоров: i5-8400, i5-8600K, Core i7-8700K

Intel Coffee Lake – это ещё один процессор, основанный на улучшенной 14-нм архитектуре (просто ещё одно обновление «вечно живого» SkyLake), они внесли небольшое количество, но довольно важные изменения. В играх всё большее значение имела не только мощность, но и количество ядер. Intel Core 8-го поколения стал ответом на растущий спрос игроков. Кроме того, увеличенная кэш-память положительно сказалась на производительности.

В этой серии наконец отказались от альтернативной поддержки памяти DDR3L. Несмотря на отсутствие изменений, для сокетов Intel Coffee Lake требовались – по крайней мере, официально – материнские платы на базе нового чипсета (300-я серия).

Особенно хорошо работает процессор Intel Core i7-8700(K) с 6 ядрами и 12 потоками в современных играх AAA. Это доза ядер, которой всё ещё

достаточно в 2021 году, особенно по сравнению с Intel Core i7-7700K (Kaby Lake) с 4 ядрами и 8 потоками.

Intel Coffee Lake Refresh (9 поколение) – начало эры Core i9. Премьера: октябрь 2018 г. Архитектура: Coffee Lake. Технологический процесс: 14 нм ++. Разъём: LGA 1151. Некоторые модели процессоров: i5-9400, i5-9600K, i7-9700K, i9-9900K

В то время как серия Intel Coffee Lake-S привнесла глоток свежего воздуха в немного затхлую архитектуру, модели Refresh 9-го поколения снова внесли незначительные изменения. В некоторых отношениях они даже регрессировали в своём развитии. Возможно, Intel осознала, что иногда нужно сделать один шаг назад, чтобы сделать два шага вперёд. И поэтому серия Intel Coffee Lake Refresh в глазах некоторых была шагом назад.

По какой причине и заслужено ли это? Технология Hyper-Threading поддерживалась только топовыми устройствами (Intel Core i9-9900), но погодите-ка, то же самое было и с Intel Core 8-го поколения. Разница в том, что в случае с Coffee Lake-S не было моделей из серии Intel Core i9. Он только вошел в потребительские процессоры на Coffee Lake Refresh.

Первый процессор серии Intel Core i9. Intel просто добавила одну (лучшую) полку повыше. Поэтому, для сравнения, Intel Core i7-8700, хотя и имеет на 2 физических ядра меньше, чем его преемник, Intel Core i7-9700, предлагал больше потоков (12 вместо 8). На практике было подтверждено, что лучше иметь больше (более сильных) физических ядер, чем логических. Поэтому говорить о регрессе в строгом смысле слова сложно.

Это последние настольные процессоры под сокет LGA 1151. Также стоит отметить, что в отдельных моделях из серии Intel Core 9-го поколения удалось восстановить распаянный радиатор.

Intel Comet Lake (10 поколений) – HT для Core i3. Премьера: май 2020 г.

Архитектура: Comet Lake. Технологический процесс: 14 нм +++. Разъём: LGA 1200. Некоторые модели процессоров: Core i5-10400KF, Core i5-10600K, Core i7-10700, Core i9-10900.

Процессоры Intel Comet Lake показали, что известная по Skylake архитектура нерушима, несмотря на то, что это была уже четвертая итерация. Несмотря на прошедшие годы и постоянное совершенствование 14-нанометрового технологического процесса, «синие» процессоры по-прежнему доминировали в диаграммах производительности. Intel Comet Lake-S после нескольких лет существования сокетов LGA 1151 потребовал нового сокета – LGA 1200.

В процессорах серии Comet Lake-S добавлено больше ядер и/или потоков, а также увеличен кэш L3. «Синие» представил технологию HT во всей серии, не только в более эффективных блоках, а в отдельных моделях – Turbo Boost Max 3.0 и поддержку более быстрой оперативной памяти (Core i7 и i9), а также Thermal Velocity Boost (только Core i9).

Процессоры не имели большого значения по сравнению с предыдущим поколением – речь идёт о преимуществе в несколько (десять) процентов над Intel Coffee Lake Refresh.

Intel Rocket Lake (11 поколение) – неизбежное прощание с 14 нм. Премьера: март 2021 г. Архитектура: Cypress Cove. Технологический процесс: 14 нм +++. Разъём: LGA 1200. Некоторые модели процессоров: Core i5-11400KF, Core i5-11600K, Core i7-11700, Core i9-11900.

Серия Rocket Lake-S – это последняя разработка Intel в эпоху 14-нм процессоров. Многие пользователи терпеливо ждали конца этой литографии настольных процессоров. Это оказались не стоящими обновления Intel Comet Lake-S. Скорее всего надежды на большие изменения вызывали слухи об Intel Alder Lake-S.

Ключевые особенности процессоров Intel Rocket Lake

Серия Rocket Lake показалась нежелательной деткой, хотя это и не слабые процессоры. Они перешли на новую архитектуру – Cypress Cove, вариант Sunny Cove, известного по мобильным процессорам Ice Lake. Они соревновались с AMD Ryzen 5000 и вышли из этого столкновения, возможно, не невредимыми, но часто победившими. Между младшими моделями борьбы не было. Intel полностью исключила Core i3, как и «красные» Ryzen 3 в последней серии.

Хотя Intel Core i9 имел урезанное количество ядер и, следовательно, кэш L3, по сравнению с его аналогом из серии Comet Lake-S (8/16 вместо конфигурации 10/20), он компенсировал кое-чем другим. Intel Core 11-го поколения – это 19%-ное увеличение IPC (инструкций за такт) и более быстрый контроллер памяти (DDR4-3200), в котором Intel изменила механизм работы. Он усложнил жизнь, введя два режима: синхронный (Gear 1) и асинхронный (Gear 2, характеризующиеся снижением производительности).

Что ещё принесло «ракетное озеро»? Поддержка PCIe 4.0 (с 20 строками вместо 16) и инструкций AVX-512, а также графический чип предлагал лучшую производительность и поддержку HDMI 2.0 (HBR3), 10-битное кодирование AV1 и 12-битное HEVC. Вишенкой на торте стала поддержка метода Resizable BAR (ЦП имеет полный доступ к VRAM) и Intel Deep Learning Boost, который ускоряет вычисления, связанные с ИИ. Последняя особенность известна по (полупрофессиональным) процессорам Intel.

Несмотря на архитектурные изменения, пользователи материнских плат LGA 1200 могли легко переключиться на Rocket Lake-S (требовалось только обновление BIOS), и эта серия должна была стать последней, поддерживающей эту платформу Intel.

Это поколение, в целом, можно рассматривать как переходное.

Intel Alder Lake (12 поколение) – гибридная структура и DDR5. Премьера: ноябрь 2021 г. Архитектура: Golden Cove (Performance Core) и Gracemont (Efficient Core). Технологический процесс: Intel 7 (10 нм Enhanced SuperFin). Разъём: LGA 1700. Некоторые модели процессоров: Core i5-12600K, Intel Core i7-12700K, Intel Core i9-12900K.

27 октября 2021 года стартовала предпродажа процессоров Intel Alder Lake-S. 4 ноября Intel объявила о долгожданном выпуске 10-нанометрового процессора для персональных компьютеров. Дебют на рынке Intel Alder

Lake-S – большое событие не только для «синей» команды, но и для всего рынка настольных процессоров, хотя они выходят всего через полгода после выхода серии Rocket Lake-S.

Что даёт Intel Core 12-го поколения, помимо более низкого технологического процесса и гетерогенной архитектуры (гибридное построение ядер на основе двух разных архитектур)? Intel Alder Lake-S требует материнских плат с новым разъёмом (LGA 1700) и является первой серией настольных процессоров с поддержкой памяти DDR5 и интерфейса PCI-Express 5.0.

Тема 2

МИКРОПРОЦЕССОРЫ СЕМЕЙСТВА AMD

История развития технологии производства процессоров Amd (Am9080, микропроцессорный комплект Am2900, Am29000 (Am29K), Am 8088, Am 8086, Am 80186, Am 286™, Am 386™, Am 486™, Am 586™, AMD K5™ (5k86), AMD K6, AMD K6®-2, AMD K6®-3). Процессоры серии K7, процессоры серии K8, процессоры серии K10, процессоры Bulldozer (K11). Микроархитектура современных многоядерных процессоров AMD.

Тема 3

ОСНОВНЫЕ ПОДСИСТЕМЫ ПРОЦЕССОРА

Процессор обычно представляет собой отдельную микросхему или же часть микросхемы (в случае микроконтроллера). В прежние годы процессор иногда выполнялся на комплектах из нескольких микросхем, но сейчас от такого подхода уже практически отказались. Микросхема процессора обязательно имеет выводы трех шин: шины адреса, шины данных и шины управления. Иногда некоторые сигналы и шины мультиплексируются, чтобы уменьшить количество выводов микросхемы процессора.

Важнейшие характеристики процессора — это количество разрядов его шины данных, количество разрядов его шины адреса и количество управляющих сигналов в шине управления. Разрядность шины данных определяет скорость работы системы. Разрядность шины адреса определяет допустимую сложность системы. Количество линий управления определяет разнообразие режимов обмена и эффективность обмена процессора с другими устройствами системы.

Кроме выводов для сигналов трех основных шин процессор всегда имеет вывод (или два вывода) для подключения внешнего тактового сигнала или кварцевого резонатора (CLK), так как процессор всегда представляет собой тактируемое устройство. Чем больше тактовая частота процессора, тем он быстрее работает, то есть тем быстрее выполняет команды. Впрочем, быстрдействие процессора определяется не только тактовой частотой, но и особенностями его структуры. Современные процессоры выполняют большинство команд за один такт и имеют средства для параллельного выполнения нескольких команд. Тактовая частота процессора не связана прямо и жестко со скоростью обмена по магистрали, так как скорость обмена

по магистрали ограничена задержками распространения сигналов и искажениями сигналов на магистрали. То есть тактовая частота процессора определяет только его внутреннее быстроедействие, а не внешнее. Иногда тактовая частота процессора имеет нижний и верхний пределы. При превышении верхнего предела частоты возможно перегревание процессора, а также сбои, причем, что самое неприятное, возникающие не всегда и нерегулярно. Так что с изменением этой частоты надо быть очень осторожным.

Еще один важный сигнал, который имеется в каждом процессоре, — это сигнал начального сброса RESET. При включении питания, при аварийной ситуации или зависании процессора подача этого сигнала приводит к инициализации процессора, заставляет его приступить к выполнению программы начального запуска. Аварийная ситуация может быть вызвана помехами по цепям питания и «земли», сбоями в работе памяти, внешними ионизирующими излучениями и еще множеством причин. В результате процессор может потерять контроль над выполняемой программой и остановиться в каком-то адресе. Для выхода из этого состояния как раз и используется сигнал начального сброса. Этот же вход начального сброса может использоваться для оповещения процессора о том, что напряжение питания стало ниже установленного предела. В таком случае процессор переходит к выполнению программы сохранения важных данных. По сути, этот вход представляет собой особую разновидность радиального прерывания.

Иногда у микросхемы процессора имеется еще один-два входа радиальных прерываний для обработки особых ситуаций (например, для прерывания от внешнего таймера).

Шина питания современного процессора обычно имеет одно напряжение питания (+5В или +3,3В) и общий провод («землю»). Первые процессоры нередко требовали нескольких напряжений питания. В некоторых процессорах предусмотрен режим пониженного энергопотребления. Вообще, современные микросхемы процессоров, особенно с высокими тактовыми частотами, потребляют довольно большую мощность. В результате для поддержания нормальной рабочей температуры корпуса на них нередко приходится устанавливать радиаторы, вентиляторы или даже специальные микрохолодильники.

Для подключения процессора к магистрали используются буферные микросхемы, обеспечивающие, если необходимо, демультиплексирование сигналов и электрическое буферирование сигналов магистрали. Иногда протоколы обмена по системной магистрали и по шинам процессора не совпадают между собой, тогда буферные микросхемы еще и согласуют эти протоколы друг с другом. Иногда в микропроцессорной системе используется несколько магистралей (системных и локальных), тогда для каждой из магистралей применяется свой буферный узел. Такая структура характерна, например, для персональных компьютеров.

После включения питания процессор переходит в первый адрес программы начального пуска и выполняет эту программу. Данная программа предварительно записана в постоянную (энергонезависимую) память. После завершения программы начального пуска процессор начинает выполнять основную программу, находящуюся в постоянной или оперативной памяти, для чего выбирает по очереди все команды. От этой программы процессор могут отвлекать внешние прерывания или запросы на ПДП. Команды из памяти процессор выбирает с помощью циклов чтения по магистрали. При необходимости процессор записывает данные в память или в устройства ввода/вывода с помощью циклов записи или же читает данные из памяти или из устройств ввода/вывода с помощью циклов чтения.

Таким образом, основные функции любого процессора следующие:

- выборка (чтение) выполняемых команд;
- ввод (чтение) данных из памяти или устройства ввода/вывода;
- вывод (запись) данных в память или в устройства ввода/вывода;
- обработка данных (операндов), в том числе арифметические операции над ними;
- адресация памяти, то есть задание адреса памяти, с которым будет производиться обмен;
- обработка прерываний и режима прямого доступа.

Упрощенно внутреннюю структуру микропроцессора можно представить в следующем виде.

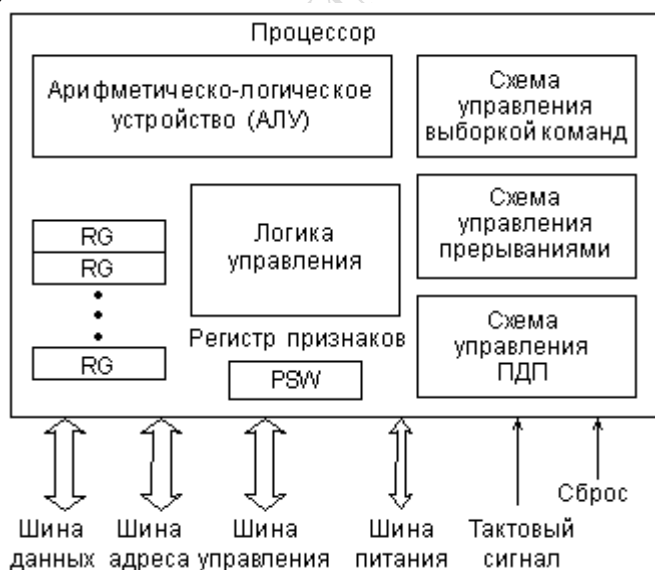


Рисунок 2 – Внутренняя структура микропроцессора

Основные функции показанных узлов следующие.

Схема управления выборкой команд выполняет чтение команд из памяти и их дешифрацию. В первых микропроцессорах было невозможно одновременное выполнение предыдущей команды и выборка следующей команды, так как процессор не мог совмещать эти операции. Но уже в 16-разрядных процессорах появляется так называемый конвейер (очередь) команд, позволяющий выбирать несколько следующих команд, пока выполняется предыдущая. Два процесса идут параллельно, что ускоряет

работу процессора. Конвейер представляет собой небольшую внутреннюю память процессора, в которую при малейшей возможности (при освобождении внешней шины) записывается несколько команд, следующих за исполняемой. Читаются эти команды процессором в том же порядке, что и записываются в конвейер (это память типа FIFO, First In — First Out, первый вошел — первый вышел). Правда, если выполняемая команда предполагает переход не на следующую ячейку памяти, а на удаленную (с меньшим или большим адресом), конвейер не помогает, и его приходится сбрасывать. Но такие команды встречаются в программах сравнительно редко.

Развитием идеи конвейера стало использование внутренней кэш-памяти процессора, которая заполняется командами, пока процессор занят выполнением предыдущих команд. Чем больше объем кэш-памяти, тем меньше вероятность того, что ее содержимое придется сбросить при команде перехода. Понятно, что обрабатывать команды, находящиеся во внутренней памяти, процессор может гораздо быстрее, чем те, которые расположены во внешней памяти. В кэш-памяти могут храниться и данные, которые обрабатываются в данный момент, это также ускоряет работу. Для большего ускорения выборки команд в современных процессорах применяют совмещение выборки и дешифрации, одновременную дешифрацию нескольких команд, несколько параллельных конвейеров команд, предсказание команд переходов и некоторые другие методы.

Арифметико-логическое устройство (или АЛУ, ALU) предназначено для обработки информации в соответствии с полученной процессором командой. Примерами обработки могут служить логические операции (типа логического «И», «ИЛИ», «Исключающего ИЛИ» и т.д.) то есть побитные операции над операндами, а также арифметические операции (типа сложения, вычитания, умножения, деления и т.д.). Над какими кодами производится операция, куда помещается ее результат — определяется выполняемой командой. Если команда сводится всего лишь к пересылке данных без их обработки, то АЛУ не участвует в ее выполнении.

Быстродействие АЛУ во многом определяет производительность процессора. Причем важна не только частота тактового сигнала, которым тактируется АЛУ, но и количество тактов, необходимое для выполнения той или иной команды. Для повышения производительности разработчики стремятся довести время выполнения команды до одного такта, а также обеспечить работу АЛУ на возможно более высокой частоте. Один из путей решения этой задачи состоит в уменьшении количества выполняемых АЛУ команд, создание процессоров с уменьшенным набором команд (так называемые RISC-процессоры). Другой путь повышения производительности процессора — использование нескольких параллельно работающих АЛУ.

Что касается операций над числами с плавающей точкой и других специальных сложных операций, то в системах на базе первых процессоров их реализовали последовательностью более простых команд, специальными подпрограммами, однако затем были разработаны специальные вычислители — математические сопроцессоры, которые заменяли основной процессор на

время выполнения таких команд. В современных микропроцессорах математические сопроцессоры входят в структуру как составная часть.

Регистры процессора представляют собой по сути ячейки очень быстрой памяти и служат для временного хранения различных кодов: данных, адресов, служебных кодов. Операции с этими кодами выполняются предельно быстро, поэтому, в общем случае, чем больше внутренних регистров, тем лучше. Кроме того, на быстродействие процессора сильно влияет разрядность регистров. Именно разрядность регистров и АЛУ называется внутренней разрядностью процессора, которая может не совпадать с внешней разрядностью.

По отношению к назначению внутренних регистров существует два основных подхода. Первого придерживается, например, компания Intel, которая каждому регистру отводит строго определенную функцию. С одной стороны, это упрощает организацию процессора и уменьшает время выполнения команды, но с другой — снижает гибкость, а иногда и замедляет работу программы. Например, некоторые арифметические операции и обмен с устройствами ввода/вывода проводятся только через один регистр — аккумулятор, в результате чего при выполнении некоторых процедур может потребоваться несколько дополнительных пересылок между регистрами. Второй подход состоит в том, чтобы все (или почти все) регистры сделать равноправными, как, например, в 16-разрядных процессорах T-11 фирмы DEC. При этом достигается высокая гибкость, но необходимо усложнение структуры процессора. Существуют и промежуточные решения, в частности, в процессоре MC68000 фирмы Motorola половина регистров использовалась для данных, и они были взаимозаменяемы, а другая половина — для адресов, и они также взаимозаменяемы.

Регистр признаков (регистр состояния) занимает особое место, хотя он также является внутренним регистром процессора. Содержащаяся в нем информация — это не данные, не адрес, а слово состояния процессора (ССП, PSW — Processor Status Word). Каждый бит этого слова (флаг) содержит информацию о результате предыдущей команды. Например, есть бит нулевого результата, который устанавливается в том случае, когда результат выполнения предыдущей команды — нуль, и очищается в том случае, когда результат выполнения команды отличен от нуля. Эти биты (флаги) используются командами условных переходов, например, командой перехода в случае нулевого результата. В этом же регистре иногда содержатся флаги управления, определяющие режим выполнения некоторых команд.

Схема управления прерываниями обрабатывает поступающий на процессор запрос прерывания, определяет адрес начала программы обработки прерывания (адрес вектора прерывания), обеспечивает переход к этой программе после выполнения текущей команды и сохранения в памяти (в стеке) текущего состояния регистров процессора. По окончании программы обработки прерывания процессор возвращается к прерванной программе с восстановленными из памяти (из стека) значениями внутренних регистров. Подробнее о стеке будет рассказано в следующем разделе.

Схема управления прямым доступом к памяти служит для временного отключения процессора от внешних шин и приостановки работы процессора на время предоставления прямого доступа запрашившему его устройству.

Логика управления организует взаимодействие всех узлов процессора, перенаправляет данные, синхронизирует работу процессора с внешними сигналами, а также реализует процедуры ввода и вывода информации.

Таким образом, в ходе работы процессора схема выборки команд выбирает последовательно команды из памяти, затем эти команды выполняются, причем в случае необходимости обработки данных подключается АЛУ. На входы АЛУ могут подаваться обрабатываемые данные из памяти или из внутренних регистров. Во внутренних регистрах хранятся также коды адресов, обрабатываемых данных, расположенных в памяти. Результат обработки в АЛУ изменяет состояние регистра признаков и записывается во внутренний регистр или в память (как источник, так и приемник данных указывается в составе кода команды). При необходимости информация может переписываться из памяти (или из устройства ввода/вывода) во внутренний регистр или из внутреннего регистра в память (или в устройство ввода/вывода).

Внутренние регистры любого микропроцессора обязательно выполняют две служебные функции:

- определяют адрес в памяти, где находится выполняемая в данный момент команда (функция счетчика команд или указателя команд);

- определяют текущий адрес стека (функция указателя стека).

В разных процессорах для каждой из этих функций может отводиться один или два внутренних регистра. Эти два указателя отличаются от других не только своим специфическим, служебным, системным назначением, но и особым способом изменения содержимого. Их содержимое программы могут менять только в случае крайней необходимости, так как любая ошибка при этом грозит нарушением работы компьютера, зависанием и порчей содержимого памяти.

Содержимое указателя (счетчика) команд изменяется следующим образом. В начале работы системы (при включении питания) в него заносится раз и навсегда установленное значение. Это первый адрес программы начального запуска. Затем после выборки из памяти каждой следующей команды значение указателя команд автоматически увеличивается (инкрементируется) на единицу (или на два в зависимости от формата команд и типа процессора). То есть следующая команда будет выбираться из следующего по порядку адреса памяти. При выполнении команд перехода, нарушающих последовательный перебор адресов памяти, в указатель команд принудительно записывается новое значение — новый адрес в памяти, начиная с которого адрес команд опять же будут перебираться последовательно. Такая же смена содержимого указателя команд производится при вызове подпрограммы и возврате из нее или при начале обработки прерывания и после его окончания.

Раздел 4 Микрокомпьютеры и микроконтроллеры

Тема 1

БАЗОВЫЕ СТРУКТУРЫ МИКРОКОМПЬЮТЕРОВ

Диапазон применения микропроцессорной техники. Требования к микропроцессорным системам. Несколько типов микропроцессорных систем. Мощность, универсальность, быстродействие и структурные отличия микропроцессорных систем. Основные типы микропроцессорных систем. Определение понятия микроконтроллера и его основных характеристик. Определение понятия контроллера. Определение понятия микрокомпьютера и его основных характеристик. Определение понятия компьютера (в том числе персонального) его мощности и универсальности как микропроцессорной системы.

Область применения микроконтроллеров. Микроконтроллеры как универсальные устройства в составе более сложных устройств (в том числе и контроллеров). Системная шина микроконтроллера и ее защищенность. Возможности подключения внешних устройств к микроконтроллеру. Специализированные устройства на микроконтроллерах для решения конкретной задачи.

Контроллеры как устройства для решения какой-то отдельной задачи или группы близких задач. Отсутствие возможностей подключения дополнительных узлов и устройств к контроллеру (большой памяти, средств ввода/вывода). Защищенность системной шины от пользователя. Структура контроллера. Оптимизация структуры контроллера под максимальное быстродействие. Хранение выполняемых программ в постоянной памяти (в большинстве случаев). Конструктив контроллеров в одноплатном варианте.

Основное отличие микрокомпьютеров от контроллеров. Открытость структуры микрокомпьютеров. Подключение к системной шине микрокомпьютера нескольких дополнительных устройств. Производятся микрокомпьютеры в корпусе с разъемами системной магистрали. Микрокомпьютеры и средства хранения информации на магнитных носителях. Микрокомпьютеры и развитые средства связи с пользователем. Высокая адаптивность микрокомпьютеров под различные типы задач.

Компьютеры и персональные компьютеры как самые универсальные из микропроцессорных систем. Широкие возможности модернизации компьютеров. Универсальность и простота подключения новых устройств к компьютерам. Открытая архитектура системной шины компьютеров. Состав компьютера и его архитектура. Развитые средства связи с пользователем. Средства длительного хранения информации большого объема. Средства связи с другими компьютерами по информационным сетям. Универсальность применения компьютеров в различных областях. Использование компьютеров в управлении работой сложных электронных систем.

Тема 2

8-битное АЛУ может выполнять арифметические операции сложения, вычитания, умножения и деления; логические операции И, ИЛИ, исключающее ИЛИ, а также операции циклического сдвига, сброса, инвертирования и т.п. В АЛУ имеются программно недоступные регистры T1 и T2, предназначенные для временного хранения операндов, схема десятичной коррекции и схема формирования признаков.

Простейшая операция сложения используется в АЛУ для инкрементирования содержимого регистров, продвижения регистра-указателя данных и автоматического вычисления следующего адреса РПП. Простейшая операция вычитания используется в АЛУ для декрементирования регистров и сравнения переменных.

Простейшие операции автоматически образуют "танделы" для выполнения в АЛУ таких операций, как, например, инкрементирование 16-битных регистровых пар. В АЛУ реализуется механизм каскадного выполнения простейших операций для реализации сложных команд. Так, например, при выполнении одной из команд условной передачи управления по результату сравнения в АЛУ трижды инкрементируется СК, дважды производится чтение из РПД, выполняется арифметическое сравнение двух переменных, формируется 16-битный адрес перехода и принимается решение о том, делать или не делать переход по программе. Все перечисленные операции выполняются в АЛУ всего лишь за 2 мкс.

Важной особенностью АЛУ является его способность оперировать не только байтами, но и битами. Отдельные программно-доступные биты могут быть установлены, сброшены, инвертированы, переданы, проверены и использованы в логических операциях. Эта способность АЛУ, оперировать битами, столь важна, что во многих описаниях МК51 говорится о наличии в нем "булевого процессора". Для управления объектами часто применяются алгоритмы, содержащие операции над входными и выходными булевыми переменными (истина/ложь), реализация которых средствами обычных микропроцессоров сопряжена с определенными трудностями.

Таким образом, АЛУ может оперировать четырьмя типами информационных объектов: булевыми (1 бит), цифровыми (4 бита), байтными (8 бит) и адресными (16 бит). В АЛУ выполняется 51 различная операция пересылки или преобразования этих данных. Так как используется 11 режимов адресации (7 для данных и 4 для адресов), то путем комбинирования "операция/ режим адресации" базовое число команд 111 расширяется до 255 из 256 возможных при однобайтном коде операции.

Резидентная память

Память программ и память данных, размещенные на кристалле МК5 физически и логически разделены, имеют различные механизмы адресации, работают под управлением различных сигналов и выполняют разные функции.

Память программ (ПЗУ или СППЗУ) имеет емкость 4 Кбайта и предназначена для хранения команд, констант, управляющих слов инициализации, таблиц перекодировки входных и выходных сменных и т.п.

РПП имеет 16-битную шину адреса, через которую обеспечивается доступ из счетчика команд или из регистра-указателя данных. Последний выполняет функции базового регистра при косвенных переходах по программе или используется в командах, оперирующих с таблицами.

Память данных (ОЗУ) предназначена для хранения переменных в процессе выполнения прикладной программы, адресуется одним байтом и имеет емкость 128 байт. Кроме того, к адресному пространству РПД примыкают адреса регистров специальных функций (РСФ), которые перечислены в таблице 2.1.

Память программ, так же как и память данных, может быть расширена до 64 Кбайт путем подключения внешних БИС.

Аккумулятор и ССП. Аккумулятор является источником операнда и местом фиксации результата при выполнении арифметических, логических операций и ряда операций передачи данных. Кроме того, только с использованием аккумулятора могут быть выполнены операции сдвигов, проверка на нуль, формирование флага паритета и т.п.

Использование ППА ВВ55А в качестве расширителя пространства портов ввода-вывода.

Реализация векторной системы прерывания от внешнего входа INT в МК48 и от внутреннего таймера. Сохранение при прерываниях информации в восьмиуровневом стеке. Пороги питающих напряжений и программирования.

Регистры-указатели. 8-битный указатель стека (РУС) может адресовать любую область РПД. Его содержимое инкрементируется прежде, чем данные будут запомнены в стеке в ходе выполнения команд PUSH и CALL. Содержимое РУС декрементируется после выполнения команд POP и RET. Подобный способ адресации элементов стека называют прединкрементным/постдекрементным. В процессе инициализации МК51 после сигнала СБР в РУС автоматически загружается код 07H. Это значит, что если прикладная программа не переопределяет стек, то первый элемент данных в стеке будет располагаться в ячейке РПД с адресом 08H.

Двухбайтный регистр-указатель данных (РУД) обычно используется для фиксации 16-битного адреса в операциях с обращением к внешней памяти. Командами МК51 регистр-указатель данных может быть использован или как 16-битный регистр, или как два независимых 8-битных регистра (DPH и DPL).

Таймер/счетчик. В составе средств МК51 имеются регистровые пары с символическими именами TNO, TLO и TNI, TLI, на основе которых функционируют два независимых программно-управляемых 16-битных таймера/счетчика событий.

Буфер последовательного порта. Регистр с символическим именем SBUF представляет собой два независимых регистра - буфер приемника и буфер передатчика. Загрузка байта в SBUF немедленно вызывает начало процесса передачи через последовательный порт. Когда байт считывается из SBUF, это значит, что его источником является приемник последовательного порта.

Регистры специальных функций. Регистры с символическими именами IP, IE, TMOD, TCON, SCON и PCON используются для фиксации и программного изменения управляющих бит и бит состояния схемы прерывания, таймера/счетчика, приемопередатчика последовательного порта и для управления мощностью электропитания МК51. Их организация будет описана ниже при рассмотрении особенностей работы МК51 в различных режимах.

Устройство управления и синхронизации

Кварцевый резонатор, подключаемый к внешним выводам X1 и X2 корпуса МК51, управляет работой внутреннего генератора, который в свою очередь формирует сигналы синхронизации.

Устройство управления МК51 на основе сигналов синхронизации формирует машинный цикл фиксированной длительности, равной 12 периодам резонатора или шести состояниям первичного управляющего автомата (S1_S6). Каждое состояние управляющего автомата содержит две фазы (P1, P2) сигналов резонатора. В фазе P1, как правило, выполняется операция в АЛУ, а в фазе P2 осуществляется межрегистровая передача. Весь машинный цикл состоит из 12 фаз, начиная с фазы S1P1 и кончая фазой S6P2. Эта временная диаграмма иллюстрирует работу устройства управления МК51 при выборке и исполнении команд различной степени сложности. Все заштрихованные сигналы являются внутренними и недоступны пользователю МК51 для контроля. Внешними, наблюдаемыми сигналами являются только сигналы резонатора и строба адреса внешней памяти. Как видно из временной диаграммы, сигнал САВП формируется дважды за один машинный цикл (S1P2-S2P1 и S4P2-S5P1) и используется для управления процессом обращения к внешней памяти.

Большинство команд МК51 выполняется за один машинный цикл. Некоторые команды, оперирующие с 2-байтными словами или связанные с обращением к внешней памяти, выполняются за два машинных цикла. Только команды деления и умножения требуют четырех машинных циклов. На основе этих особенностей работы устройства управления МК51 производится расчет времени исполнения прикладных программ.

Общие сведения о системе команд

Система команд МК51 содержит 111 базовых команд, которые удобно разделить по функциональному признаку на пять групп: команды передачи данных, арифметических операций, логических операций, передачи управления и операций с битами.

Система команд МК51 много мощнее и шире системы команд МК48, так как кроме всех команд МК48 в ее состав входят команды умножения, деления, вычитания, операций над битами, операций со стеком и расширенный набор команд передачи управления. Большинство команд (94) имеют формат один или два байта и выполняются за один или два машинных цикла. При тактовой частоте 2 МГц длительность машинного цикла составляет 1 мкс. Всего 13 типов команд МК51. Первый байт команды любых типа и формата всегда содержит код операции (КОП). Вторым и

третий байты содержат либо адреса операндов, либо непосредственные операнды.

Типы операндов. Состав операндов МК51 шире, чем МК48, и включает в себя операнды четырех типов: биты, 4-битные цифры, байты и 16-битные слова.

Порты ввода/вывода информации

Все четыре порта МК51 предназначены для ввода или вывода информации побайтно. Схемотехника портов ввода/вывода МК51 для одного бита (порты 1 и 2 имеют примерно такую же структуру, как и порт 3). Каждый порт содержит управляемые регистр-защелку, входной буфер и выходной драйвер.

Выходные драйверы портов 0 и 2, а также входной буфер порта 0 используются при обращении к внешней памяти (ВП). При этом через 1 порт 0 в режиме временного мультиплексирования сначала выводится младший байт адреса ВП, а затем выдается или принимается байт данных. Через порт 2 выводится старший байт адреса в тех случаях, когда 1 разрядность адреса равна 16 бит.

Все выходы порта 3 могут быть использованы для реализации альтернативных функций, перечисленных в таблице 8.1. Альтернативные функции могут быть задействованы путем записи 1 в соответствующие биты регистра-защелки (P3.0-P3.7) порта 3. Порт 0 является двунаправленным, а порты 1, 2 и 3 - квазидвунаправленными. Каждая линия портов может быть использована независимо для ввода или вывода информации. Для того чтобы некоторая линия порта использовалась для ввода, в D-триггер регистра-защелки порта должна быть записана 1, которая закрывает МОП-транзистор выходной цепи.

По сигналу СБР в регистры-защелки всех портов автоматически записываются единицы, настраивающие их тем самым на режим ввода.

Все порты могут быть использованы для организации ввода/вывода информации по двунаправленным линиям передачи. Однако порты 0 и 2 не могут быть использованы для этой цели в случае, если МК-система имеет внешнюю память, связь с которой организуется через общую разделяемую шину адреса/данных, работающую в режиме временного мультиплексирования.

Запись в порт. При выполнении команды, которая изменяет содержимое регистра-защелки порта, новое значение фиксируется в регистре в момент S6P2 последнего цикла команды. Однако опрос содержимого регистра-защелки выходной схемой осуществляется во время фазы P1 и, следовательно, новое содержимое регистра-защелки появляется на выходных контактах порта только в момент S1P1 следующего машинного цикла.

Нагрузочная способность портов. Выходные линии портов 1, 2 и 3 могут работать на одну ТТЛ-схему. Линии порта 0 могут быть нагружены на два входа ТТЛ-схем каждая. Линии порта 0 могут работать и на n-МОП-схемы, однако при этом их необходимо подключать на источник электропитания

через внешние нагрузочные резисторы за исключением случая, когда шина порта 0 используется в качестве шины адреса/данных внешней памяти.

Входные сигналы для МК51 могут формироваться ТТЛ-схемами или n-МОП-схемами. Допустимо использование в качестве источников сигналов для МК51 схем с открытым коллектором или открытым стоком. Однако при этом время изменения входного сигнала при переходе из 0 в 1 окажется сильно затянутым.

Особенности работы портов. Обращение к портам ввода/вывода возможно с использованием команд, оперирующих с байтом, отдельным битом и произвольной комбинацией бит. При этом в тех случаях, когда порт является одновременно операндом и местом назначения результата, устройство управления автоматически реализует специальный режим, который называется "чтение-модификация-запись". Этот режим обращения предполагает ввод сигналов не с внешних выводов порта, а из его регистра-защелки, что позволяет исключить неправильное считывание ранее выведенной информации.

Тема 3

МИКРОКОНТРОЛЛЕРЫ RISC – АРХИТЕКТУРЫ СЕМЕЙСТВА PIC16CXX, PIC18XXX

Характеристики PIC16C84 как типичного представителя семейства КМОП микроконтроллеров. Основные отличия микроконтроллера PIC16C84. Внутреннее EEPROM 1К x 14 бит для программ. 8-битовые данные. EEPROM в 64байта памяти данных. Низкая стоимостью и высокая производительность. Знакомство пользователей с семейством PIC16C5X. Команды, состоящие из одного слова (14 бит). Исполнение команд за один цикл (400 нс при 10 МГц), кроме команд перехода, которые выполняются за два цикла (800 нс). Прерывания в PIC16C84, срабатывающее от четырех источников. Восьмиуровневый аппаратный стек. Периферия с 8-битным таймер/счетчиком. 8-битный программируемый предварительный делитель (фактически 16 - битный таймер). 13 линий двунаправленного ввода/вывода. Высокая нагрузочная способность (25мА макс. втекающий ток, 20 мА макс. вытекающий ток) линий ввода/вывода упрощают внешние драйверы и, тем самым, уменьшается общая стоимость системы. Поддержка разработок на базе контроллеров PIC16C84 ассемблером, программным симулятором, внутрисхемным эмулятором (только фирмы Microchip) и программатором.

Миниатюризация размеров корпусов и использование микроконтроллеров для портативных приложений. Экономичность, быстродействие, простота использования и гибкость PIC16C84. Таймеры, замена жесткой логики в больших системах, сопроцессоры.

Тонкая подстройка программы и данных под конкретные требования после завершения ассемблирования и тестирования. Использование данной возможности для тиражирования и занесения калибровочных данных уже после окончательного тестирования.

Семейство PIC18FXXX и его отличие от семейства PIC18CXX.

Использование серии PIC18XXX в схемах высокоскоростного управления автомобильными и электрическими двигателями. Использование PIC18C84 в экономичных удаленных приемопередатчиках и связанных процессорах. Использование ПЗУ для подстройки параметров в прикладных программах (коды передатчика, скорости двигателя, частоты приемника).

Раздел 5 Диагностика и тестирование микропроцессорных систем

Тема 1

ЗАДАЧИ ДИАГНОСТИРОВАНИЯ СИСТЕМ

Понятие системы, сложной системы. Определение надежности цифровых схем. Определение контроля и диагностики цифровых схем. Классификация контроля. Понятие глубины диагностирования. Типы неисправностей цифровых схем. Управляемость, наблюдаемость и тестируемость цифровых схем.

Тема 2

МЕТОДЫ ГЕНЕРИРОВАНИЯ ТЕСТОВ

Метод активизации одномерного пути. d-алгоритм, Булево-дифференциальный метод построения тестов. Метод эквивалентных нормальных форм. Особенности построения тестов для последовательных цифровых схем. Оценка эффективности методов построения тестов. Метод Шеннона-Фано. Метод пересекающихся областей. Дерево тестов. Таблицы покрытий.

Тема 3

ДИАГНОСТИРОВАНИЕ В МНОГОПРОЦЕССОРНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМАХ.

Понятие ядра ВС. Плавающее, централизованное, распределенное ядро. Слабосвязанные и сильносвязанные системы. Локальные и глобальные ВС. Настройка ВС. Диагностика сложной системы.

Тестопригодное устройство со сканированием внутренних состояний. Само тестируемое устройство с автономным диагностированием. Сочетание сканирования с методами самотестирования.

Тема 4

ВЕРоятНОСТНОЕ И ПСЕВДОСЛУЧАЙНОЕ ТЕСТИРОВАНИЕ

Сущность вероятностного тестирования. Методы аналитического определения вероятностного описания цифровых схем. Оценка вероятности

обнаружения дефектов. Определение длины тестовой последовательности. Методы определения оптимальных значений вероятностей входных переменных.

Псевдослучайные последовательности. Использование псевдослучайных последовательностей для контроля цифровых схем. Синтез генераторов псевдослучайных последовательностей. Формирование последовательностей с заданными вероятностями и временными характеристиками.

Исчерпывающее тестирование СБИС. Синтез генераторов тестовых последовательностей. Построение генераторов тестовых последовательностей для заданной топологии СБИС. Кольцевое тестирование.

Тема 5 **СИГНАТУРНЫЙ АНАЛИЗ**

Сущность сигнатурного анализа. Сигнатурный анализ как алгоритм деления двоичных полиномов. Достоверность сигнатурного анализа. Анализ методов сравнительной оценки эффективности сигнатурного анализа. Способ сравнения методов компактного тестирования.

Построение многоканальных цифровых схем. Синтез многоканальных цифровых сигнальных анализаторов. Оценка достоверности многоканального сигнального анализатора. Применение многоканальных анализаторов для диагностики неисправностей.

Раздел 6 Диагностика персональных компьютеров, периферийных и мобильных устройств

Тема 1 **РС КОМПЬЮТЕРЫ - СИСТЕМЫ С САМОДИАГНОСТИКОЙ**

Самодиагностика. Контрольные точки. Оперативный контроль в IBM совместимых компьютерах. POST - диагностика. Расширенный BIOS компьютера. Настройки конфигурации IBM PC. Диагностика периферийных контроллеров (имитаторы каналов и т.д.). Проверка ОЗУ в защищенном режиме МП.

Тема 2 **ИНСТРУМЕНТАЛЬНЫЕ СРЕДСТВА ДИАГНОСТИКИ IBM КОМПЬЮТЕРОВ**

Утилиты DOS. Программное тестирование. Сравнительный анализ, достоинства и недостатки программного тестирования аппаратуры. Верификация программного обеспечения вычислительных систем. Вирусы как искусственные саморазмножающиеся конструкции. Антивирусные

программы. Периодичность антивирусных профилактик. Системы защиты программного обеспечения (аппаратные, программные). Проверка целостности программной части персонального компьютера.

Т е м а 3

IBM КОМПЬЮТЕР – КАК ИСПЫТАТЕЛЬНЫЙ СТЕНД "НЕ РОДНОГО" ОБОРУДОВАНИЯ

Адаптеры цифрового осциллографа. Многоканальный анализатор. Использование IBM компьютеров как модульной основы для построения управления, анализа, тестирования и диагностирования "не родного" оборудования.

Т е м а 4

ТЕСТИРОВАНИЕ СЕТЕВОГО ОБОРУДОВАНИЯ

Утилиты тестирования сетевого оборудования. Протоколы проверки корректности передачи информации. Протоколы коррекции ошибок. Особенности адаптации в условиях сильных помех. Скорость обмена данными. Протоколы обмена данными.

Т е м а 5

РЕМОНТ ИМПУЛЬСНОГО БЛОКА ПИТАНИЯ

Спецификации разъемов и выходных питающих напряжений импульсного блока питания (ИБП). Проверка работоспособности схемы управления. ШИМ-контроллер. Тестирование и проверка входной высоковольтной цепи. Замена диодного моста, защитного терморезистора, электролитов высокого напряжения, катушек и элементов управления в базовой цепи силовых транзисторов. Проверка работы силовых транзисторов. Проверка выходных параметров блока питания. Нормальная и экстремальная нагрузка импульсного блока питания. Источник дежурного питания. Сигнальные характеристики сигналов PWR_OK и PS_ON. Ремонт системы охлаждения.

Т е м а 6

АППАРАТНЫЙ И ПРОГРАММНЫЙ МОНИТОРИНГ СОСТОЯНИЯ КОМПОНЕНТОВ КОМПЬЮТЕРА

Виды и возможности мониторинга. Мониторинг аппаратный и программный. Реализация мониторинга с помощью датчиков (терморезисторы, термодиоды, термотранзисторы). Мониторинг температуры, питающих напряжений и скорости вращения вентиляторов. Микросхемы мониторинга. Мультиконтроллер материнской платы (Super IO/Multi IO), его микрoarхитектура и принцип работы.

Тема 7

ТЕХНИЧЕСКОЕ ОПИСАНИЕ ЖЕСТКОГО ДИСКА

Техническое описание НЖМД. Структурная схема НЖМД. Схема управления шпиндельным двигателем. Схема управления позиционированием блока магнитных головок. Канал считывания-записи. Сепаратор данных и предкомпенсация записи. Однокристалльный микроконтроллер. Организация интерфейсов IDE и SATA. Порты ввода-вывода и команды НЖМД. Адресация регистров НЖМД.

Тема 8

ОБЩИЕ ПРИНЦИПЫ РЕМОНТА И ВОССТАНОВЛЕНИЯ ИНФОРМАЦИИ ЖЕСТКОГО ДИСКА

Ремонт НЖМД. Методы восстановления служебной информации. Режим трансляции. Методы скрытия дефектов в НЖМД. Интерпретация кодов ошибок при диагностике НЖМД. Основные принципы определения неисправностей. Неисправность с начальной инициализацией. Неисправность схемы управления шпиндельным двигателем. Неисправность системы позиционирования. Неисправность канала чтения-преобразования данных. Неисправность канала записи, схемы предкомпенсации данных. Разрушение служебной информации. Совместимость плат управления и гермоблоков НЖМД. Различные уровни форматирования современных жестких дисков. Продольная и перпендикулярная запись. Основные методы физического хранения и кодирования информации в НЖМД. Восстановление информации с неисправных НЖМД. Использование специализированных диагностических утилит для диагностики и тестирования НЖМД.

Тема 9

ТЕСТИРОВАНИЕ И ДИАГНОСТИКА МАТЕРИНСКИХ ПЛАТ

Статистика неисправностей материнских плат. Классификация неисправностей и сбоев материнских плат. Визуальный осмотр материнской платы. Методика первоначального запуска и проверки работоспособности материнской платы. Использование POST карты при диагностике материнской платы. Мгновенное выключение питания. Отсутствие сигналов POST-диагностики. Проверка чипсета и мультиконтроллера материнской платы. Проверка встроенной периферии (встроенного видеоадаптера, звуковой, сетевой карты и рейд-контроллера).

Тема 10

РЕМОНТ МАТЕРИНСКИХ ПЛАТ

Проверка опорных напряжений на слотах памяти, процессоре, системной шине, ШИМ-контроллере. Отсутствие дежурного напряжения.

Проверка VRM, цепей включения (Reset, Power On, CMOS jumper, работоспособность ключа PS-ON). Микротрещины и нарушения контактов в разъемах материнской платы. Проблемы с микросхемой FLASH и прошивкой BIOS. Восстановление прошивки после нештатных ситуаций с BIOS. Нарушение BGA пайки. Методика пайки различных SMD деталей и упаковок микросхем на материнской плате.

Тема 11

ДИАГНОСТИКА И РЕМОНТ FLASH УСТРОЙСТВ

Архитектура Flash накопителей. Стабилизатор из 5V в 3.3V. Процессор. Микросхемы памяти Flash и их классификация. Резисторы и конденсаторы обвязки. Проверка выходного напряжения стабилизатора. Перепрошивка микропрограммы по маркировке чипа процессора с использованием специализированных утилит. Замена микросхемы памяти Flash. Тестирование и замена элементов обвязки.

Тема 12

ДИАГНОСТИКА И РЕМОНТ ПЕРИФЕРИЙНЫХ УСТРОЙСТВ

Выявление проблем в работе периферийных устройств. Тестирование и ремонт различных типов манипуляторов. Поиск неисправностей в сканирующих устройствах. Диагностика и ремонт матричных, струйных и лазерных принтеров. Тестирование и диагностика ЭЛТ и ЖК мониторов. Ремонт устройств вывода изображений.

Тема 13

ДИАГНОСТИКА И РЕМОНТ НОУТБУКОВ, МОБИЛЬНЫХ ТЕЛЕФОНОВ И ПЛАНШЕТНЫХ УСТРОЙСТВ

Проблемы с включением ноутбука. Проблемы с питанием. Проблемы с чипсетом. Дефекты процессора. Проблемы с мультиконтроллером. Проблемы с видеокартой. Проблемы с оперативной памятью. Проблемы с жестким диском или приводом. Проблемы с другими системными устройствами. Решение проблем с включением ноутбука.

Диагностика неисправностей при ремонте сотовых телефонов. Оборудование для диагностики и ремонта мобильных телефонов. Механические повреждения. Выход из строя электронных компонентов. Неправильная работа программного обеспечения телефона. Отсутствие изображения на экране устройства. Устранение неисправностей устройств, в которые попала влага.

Типовые неисправности планшетов. Отсутствие реакции на касание, нажатие сенсорного экрана планшета. Планшет не имеет изображения на экране дисплея. Процесс замены экрана планшета. Проблема быстрой разрядки аккумулятора планшета. Аккумулятор планшета перестал заряжаться. Не работает микрофон и камера в планшете, не работает звонок,

динамик, нет звука. Отсутствие сети (у планшета не работает Wi-Fi, Bluetooth, 3G, 4G, LTE). Рассинхронизация планшета с ПК. Планшет заблокирован и просит ввести код. Планшет не видит SIM карту. Способы устранения неисправностей планшетов.

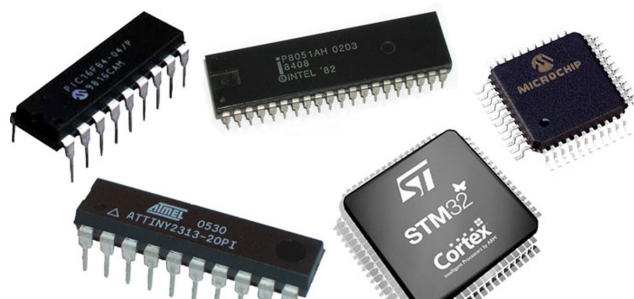
Тема 14

ТЕХНОЛОГИЯ ПАЙКИ РАДИОКОМПОНЕНТ

Виды паяльного оборудования. Основы обращения с оборудованием для пайки. Техника безопасности при работе с паяльным оборудованием. Припой. Флюсы. Кислотная пайка. Пайка конденсаторов, транзисторов, диодов и микросхем. Пайка SMD элементов. Пайка пластмассовых деталей. Пайка проводов и восстановление токоведущих дорожек в лаковой изоляции. Пайка печатных плат.

РЕПОЗИТОРИЙ УНИВЕРСИТЕТА ИМЕНИ ФРАНЦИСКА СКОРНИЦЬКОГО

Краткий обзор рынка микроконтроллеров



Первый микроконтроллер от Intel



Zax Corporation ICD 178 Внутрисхемный отладчик для i8048



Серия TMS 0100

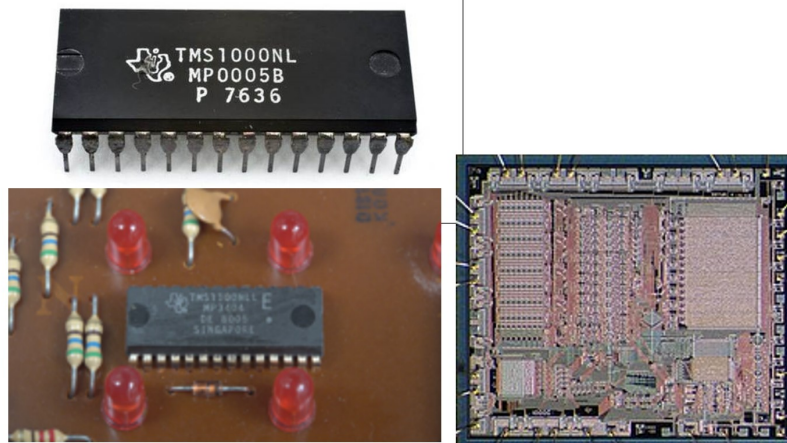


🔍🔄📄🗑️

А СКОРИНЫ

TMS 1000

4-Bit microcontroller, TI, 1974-1975



🔍🔄📄🗑️

**ds89c420-mng Даллас IC
микроконтроллер 8-битный
8051 CPU CMOS Dip 40pin**

РЕЦЕПТ



Intel P8051

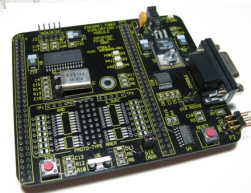
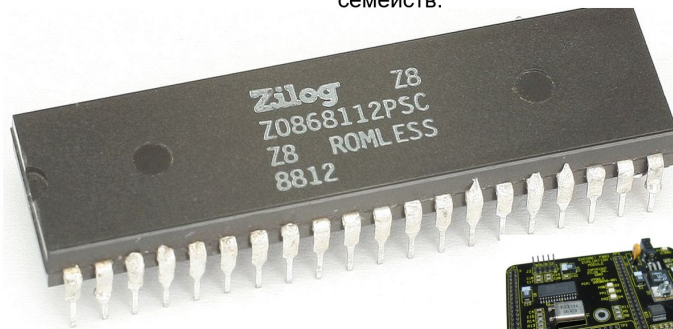
однокристалльный микроконтроллер гарвардской архитектуры, который был впервые произведен Intel в 1980 году для использования во встраиваемых системах. (семейство MCS 51 – аналог в СССР КР1816ВЕ51.)



PICE-51
Внутрисхемный эмулятор 8-разрядных микроконтроллеров семейства 8051

Zilog Z8

представлен в 1979 году, которая сегодня также включает в себя Z8 Encore!, eZ8 Encore!, eZ8 Encore! XP и eZ8 Encore! MC семейств.



The Z8 Encore!! Z8F082 development kit

68HC11

(6811 или HC11 для краткости) представляет собой 8-разрядный микроконтроллер (μ C) семьи представлен компанией Motorola в 1985 году.

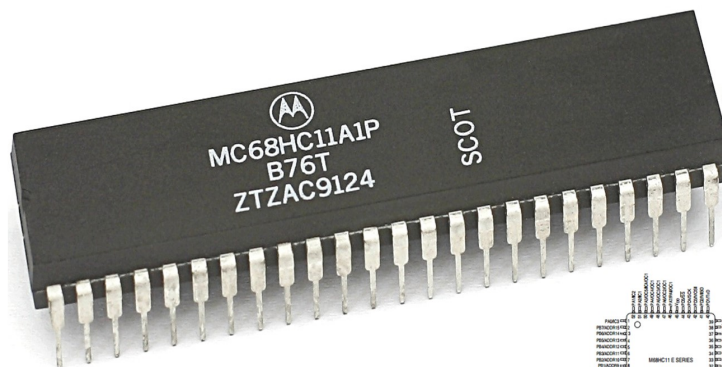
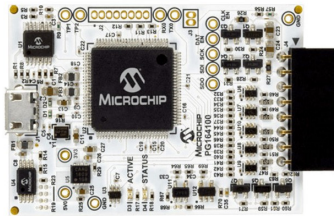
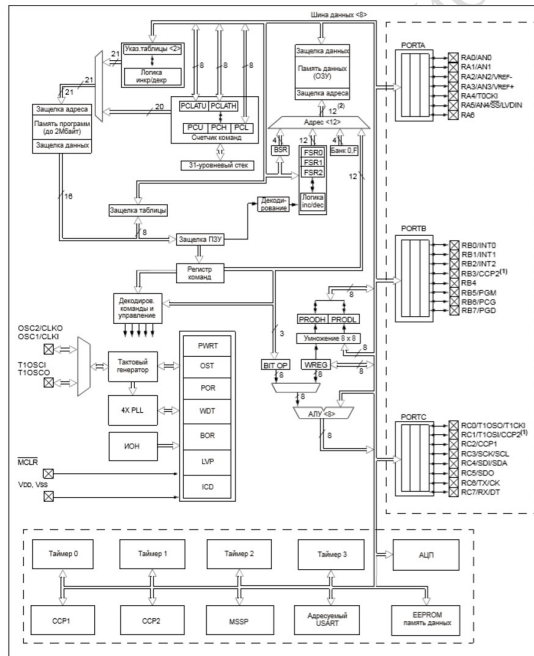


Figure 1-4. Pin Assignments for 52-Pin TQFP

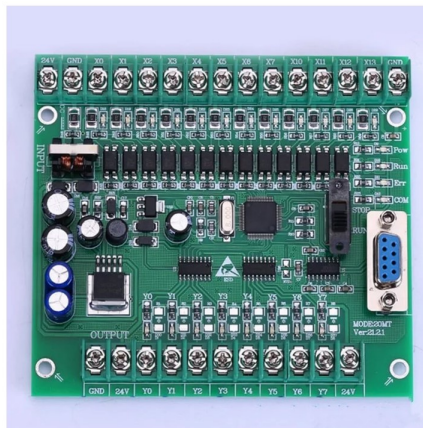
PIС контроллер



Микро- архитектура PIC



Scinex



LEGO NXT

(ARM7-Atmel AT91SAM7S256)



Cypress Semiconductor

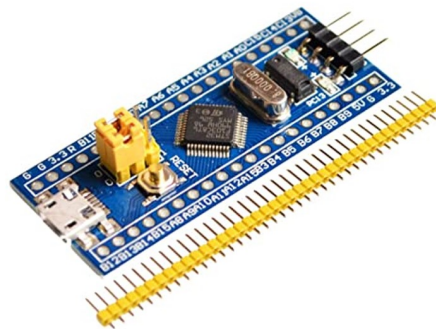


Special Offers: PSoC 4 for \$1!

 CY8C4245LQI-483 QFN	 CY8C4245PVI-482 SSOP	 CY8C4245AXI-483 QFP
1. PSoC 4200 40-QFN CY8C4245LQI-483 price: \$1.00	2. PSoC 4200 28-SSOP CY8C4245PVI-482 price: \$1.00	3. PSoC 4200 44-QFP CY8C4245AXI-483 price: \$1.00
Add to Cart	Add to Cart	Add to Cart

A small navigation bar with five circular icons is located below the product list.

STM 32



ВВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Что представляет собой система на «жесткой логике»?
2. Как может происходить передача сигналов между устройствами при шинной структуре связей?
3. Как включены все устройства при шинной структуре связей.
4. Перечислите какие из устройств входят в структуру микропроцессорной системы.
5. Системная магистраль включает в себя четыре основные шины нижнего уровня, перечислите их.
6. Какая из шин не имеет направленности.
7. Какие режимы обмена по магистрали вы знаете.
8. Что такое программный обмен информацией.
9. Как происходит обмен с использованием прерываний.
10. Обмен с использованием прямого доступа к памяти (ПДП)
11. Какие два типа архитектуры имеют микропроцессорные системы?
12. Установите характерные особенности для каждого типа архитектуры.
13. Какие типы микропроцессорных систем вы знаете.
14. Что такое микроконтроллеры.
15. Дайте определение что такое контроллер.
16. Определение микрокомпьютера и их применение.
17. Какие вы знаете основные типы циклов обмена информацией в микропроцессорной системе.
18. Какова длительность цикла обмена и от чего она зависит.
19. Какая из четырех шин является основной?
20. Укажите максимальное количество разрядов шины данных в современных микропроцессорных системах.
21. Что такое мультиплексированные шины адреса данных
22. Что такое сигналы стробов обмена.
23. Что из себя представляет синхронный обмен.
24. Работа микропроцессорной системы в асинхронном режиме обмена.
25. Перечислите важнейшие характеристики процессора.
26. Что из перечисленного может отсутствовать у микросхемы процессора?
27. Что определяет быстродействие процессора.
28. Определите функции для каждого из узлов процессора.

29. Применение схемы управления выборкой команд.
30. Что такое Арифметико-логическое устройство (АЛУ) процессора.
31. Что такое регистры процессора.
32. Перечислите варианты регистровой памяти процессора.
33. Что такое схема управления прерываниями.
34. Для чего используется логика управления в процессоре.
35. Какие функции обязательно выполняют внутренние регистры?
36. Перечислите основные циклы обмена в микропроцессорной системе.
37. Что такое часть оперативной памяти, предназначенная для временного хранения данных в режиме LIFO.
38. Что такое таблица векторов прерываний.
39. Пространства памяти в микропроцессорной системе.
40. Как будет обрабатываться новый запрос на прерывание во время выполнения программы обработки прерывания?
41. Определите отличия между устройствами ввода/вывода и модулем памяти.
42. Как используется в устройствах ввода/вывода входной порт (порт ввода) в простейшем случае и что он из себя представляет.
43. Перечислите необязательные виды устройств ввода/вывода.
44. Приведите основные группы в системе команд процессора.
45. Установите связь между основными группами в системе команд процессора и выполняемыми ими функциями.
46. Какие из команд переходов имеют деление на команды условных и безусловных переходов?
47. Когда и при каких условиях команды условных переходов вызывают переход.
48. Перечислите современные шины устройств расширения.
49. Приведите характеристики популярных шин.
50. Приведите примеры промышленных шин.
51. Приведите структуру современной оперативной памяти
52. Перечислите уровни кэширования в микропроцессорной системе и их применение
53. Для чего используется BIOS ПК.
54. Работа в среде CMOS.
55. Классифицируйте промышленно выпускаемые SSD диски по основным параметрам.
56. Использование UEFI BIOS и особенности работы с ним.

4 ЗАДАНИЯ К ЛАБОРАТОРНЫМ РАБОТАМ

Лабораторная работа №1 Интегрированная среда разработки MPLAB IDE

Цель работы: Научиться работать в интегрированной среде разработки MPLAB IDE с использованием компилятора языка C для микроконтроллеров PICMicro. Постановка задачи: Создать проект в интегрированной среде разработки MPLAB IDE на базе выбранного микроконтроллера. Скомпилировать тестовую программу.

Отчет по лабораторной работе должен содержать краткое описание процедуры создания проекта и текст программы, контрольный пример.

Лабораторная работа №2 Архитектура микроконтроллеров Microchip

Цель работы: Ознакомится с семейством микроконтроллеров Microchip PICMicro. Изучить структуру и организацию памяти выбранного типа микроконтроллера.

Постановка задачи: Написать краткую характеристику выбранного типа микроконтроллера. Описать структуру микроконтроллера и организацию памяти.

Лабораторная работа №3 Отладчик и симулятор MPLAB IDE

Цель работы: Научиться работать со средствами отладки и симуляции интегрированной среды Microchip MPLAB IDE.

Постановка задачи: Написать программу подсчета входных сигналов, поступающих в микроконтроллер. Отладить программу с использованием окон просмотра переменных и асинхронных стимулов.

Лабораторная работа №4 Работа с портами ввода-вывода

Цель работы: Изучить принципы работы с портами ввода-вывода микроконтроллеров Microchip PICMicro.

Постановка задачи: Привести описание портов ввода-вывода выбранного типа микроконтроллера. Написать программу управления гирляндой из 8 светодиодов. Добавить к программе дополнительную функцию согласно выбранному варианту задания.

Лабораторная работа №5 Таймер, прерывания и специальные функции

Цель работы: Изучить принципы работы с таймером и прерываниями в микроконтроллерах Microchip PICMicro.

Постановка задачи: «Бегущий огонь» должен быть реализован сразу двумя светодиодами PIC16F873.

Лабораторная работа №6 Последовательный порт RS232

Цель работы: Изучить принципы работы с последовательным интерфейсом стандарта RS232 микроконтроллеров Microchip PICMicro.

Постановка задачи: Привести описание последовательного интерфейса микро-контроллера PIC18F442. Реализовать разность двух чисел.

Лабораторная работа №7 Определение основных характеристик процессора

Создание программы определения основных характеристик процессора (используя как минимум три способа из - CPUID, WMI, commandlets in powershell, утилиту и команду lshw в Linux).

Лабораторная работа №8 POST-диагностика IBM компьютеров.

Цель работы: используя POST диагностику протестировать один из ПК.

Постановка задачи: используя POST карту и звуковую диагностику определить неисправность в комплектующих блоках ПК.

Лабораторная работа №9 Тестирование оперативной памяти.

Цель работы: используя утилиты тестирования оперативной памяти провести диагностику ОЗУ ПК.

Постановка задачи: используя memtest и звуковую диагностику определить исправность/неисправность в модулей памяти ПК.

Лабораторная работа №10 Проверка видеокарты под нагрузкой.

Цель работы: используя утилиты стресс-тестирования провести диагностику видеоадаптера ПК.

Постановка задачи: изучить работу видеоадаптера в различных режимах работы, используя утилиты стресс-тестирования убедиться в стабильности его работы.

Лабораторная работа №11 Тестирование контроллера накопителей на жестких дисках.

Цель работы: используя универсальные утилиты и утилиты от производителя провести диагностику HDD ПК.

Постановка задачи: изучить состояние исследуемого жесткого диска, устранить найденные дефекты в различных режимах тестирования, используя универсальные утилиты и утилиты от производителя. Использовать различные утилиты восстановления информации с HDD.

Лабораторная работа №12 Тестирование и восстановление flash накопителей.

Цель работы: Использовать специализированное ПО для работы с flash дисками.

Постановка задачи: изучить работу flash дисков в различных режимах работы, их возможность восстановления с помощью перепрошивки, низкоуровневого форматирования. Использовать различные утилиты восстановления информации с flash накопителей.

Лабораторная работа №13 Тестирование и восстановление SSD накопителей.

Цель работы: Использовать специализированное ПО для работы с SSD дисками.

Постановка задачи: изучить работу SSD дисков в различных режимах работы, их S.M.A.R.T, и возможность их восстановления. Использовать различные утилиты восстановления информации с SSD дисков.

Лабораторная работа №14 Изучить схемотехнику современной материнской платы.

Цель работы: Изучение элементной базы современных материнских плат.

Постановка задачи: Создание сервисного мануала материнской платы с использованием Help&Manual.

Лабораторная работа №15 Диагностика неисправностей ноутбуков, планшетов, смартфонов и их видеоподсистем.

Цель работы: изучить схемотехнику ноутбуков, планшетов, смартфонов и их видеоподсистем.

Постановка задачи: Использовать специализированные сайты и форумы, а также специализированные ПО и приборы для восстановления работоспособности ноутбуков, планшетов, смартфонов.

Лабораторная работа №16 Диагностика и ремонт периферийных устройств.

Цель работы: Использовать сервисную информацию для определения и устранения неисправностей различного типа принтеров.

Постановка задачи: изучить работу принтеров и типовые неисправности и способы их устранения для разного типа принтеров, применить полученные знания на практике.

РЕПОЗИТОРИЙ УНИВЕРСИТЕТА ИМЕНИ ФРАНЦИСКА СКОРНИ

5 ТЕСТОВЫЕ ЗАДАНИЯ (примеры)

Микропроцессоры и микрокомпьютеры Вы зашли под именем Vladimir.Kulichenko (Выход)

АСКЗ ► МКПР ► Тесты ► Микропроцессоры контрольная ► Попытка 1 Обновить Тест

Оставшееся время: 0:39:42

Вступление Результаты Просмотр Редактировать

Просмотр Микропроцессоры контрольная

[Начать заново](#)

1 Какие функции обязательно выполняют внутренние регистры?

Баллов: 1

Выберите по крайней мере один ответ:

- определяют текущий адрес стека (указатель стека)
- определяют адрес в памяти, где находится выполняемая в данный момент команда (счетчик команд или указатель команд)
- функция обращения к внутренней памяти устройств ввода/вывода или каких-то еще подключенных к системной шине устройств, как к своей собственной системной памяти
- выполняют функцию временного или постоянного хранения данных и команд

2 Какие основные типы циклов обмена информацией?

Баллов: 1

Выберите по крайней мере один ответ:

- Запрос и предоставление прерывания
- Записи(вывод)
- Ввод-пауза-вывод
- Прямой доступ к памяти
- Чтение-модификация-запись
- Чтение (ввод)

3 Как может происходить передача сигналов между устройствами при шинной структуре связей?

Баллов: 1

Выберите один ответ.

- однонаправлено
- последовательно
- параллельно
- двунаправлено

4 Какой вариант не входит в структуру микропроцессорной системы:

Баллов: 1

Выберите один ответ.

- арифметико-логическое устройство
- мультиплексоры
- схема управления прерываниями
- внутренние регистры
- буферы
- схема управления режимами обработки информации

5 Установите верный режим обмена по магистрали для данного описания.

Баллов: 1

Режим, в котором обмен по системной шине идет без участия процессора. Внешнее устройство, требующее обслуживания, сигнализирует процессору, что данный режим необходим, в ответ на это процессор заканчивает выполнение текущей команды и отключается от всех шин, сигнализируя запрошившему устройству, что обмен можно начинать.

Использование данного режима происходит тогда, когда необходима реакция микропроцессорной системы на какое-то внешнее событие, на приход внешнего сигнала.

В этом режиме процессор является единственным хозяином (или задатчиком, Master) системной магистрали. Все операции (циклы) обмена информацией в данном случае инициируются только процессором, все они выполняются строго в определенном порядке (все сигналы на магистрали контролируются процессором).

6 Длительность цикла обмена может быть постоянной или переменной, но она всегда включает в себя несколько периодов сигнала тактовой частоты системы.

Баллов: 1

Ответ:

- Верно
- Неверно

7 Какие из команд переходов имеют деление на команды условных и безусловных переходов?

Баллов: 1

Выберите один ответ.

- команды переходов, предусматривающие в дальнейшем возврат назад, в точку, из которой был сделан переход
- команды переходов, не предусматривающие возврата

8 Установите характерные особенности для каждого типа архитектуры.

Баллов: 1

- Малый круг выполняемых задач
- Большой объем памяти
- Простая архитектура
- Возможность решать самые сложные задачи
- Сложная архитектура
- Гибкое распределение памяти
- Решение не слишком сложных задач
- Не слишком большой объем памяти
- Высокая стоимость

9 Быстродействие АЛУ во многом определяет производительность процессора.

Баллов: 1

Ответ:

- Верно
- Неверно

10 Часть оперативной памяти, предназначенная для временного хранения данных в режиме LIFO (Last In - First Out).

Баллов: 1

Ответ:

11 Что из перечисленного может отсутствовать у микросхемы процессора?

Баллов: 1

Выберите один ответ.

- вход начального сброса RESET.
- один-два входа радиальных прерываний для обработки особых ситуаций (например, для прерывания от внешнего таймера).
- вывод (или два вывода) для подключения внешнего тактового сигнала или кварцевого резонатора (CLK).

12 Команды _____ переходов вызывают переход в новый адрес независимо ни от чего. Они могут вызывать переход на указанную величину смещения (вперед или назад) или же на указанный адрес памяти. Величина смещения или новое значение адреса указываются в качестве входного операнда. Команды условных переходов вызывают переход не всегда, а только при выполнении заданных условий. В качестве таких условий обычно выступают значения флагов в регистре состояния процессора (PSW).

Баллов: 1

Ответ:

13 Что представляет собой система на "жесткой логике"?

Баллов: 1

Выберите один ответ.

- универсальная, программируемая система, выполняющая множество задач (операций).
- специализированная система, настроенная исключительно на одну задачу или (реже) на несколько близких, заранее известных задач.

14 Системная магистраль включает в себя четыре основные шины нижнего уровня: шина адреса, шина данных, шина питания и ... Напишите название недостающей шины.

Баллов: 1

Ответ:

15 Определите, какие из данных утверждений неверные: 1. Важнейшие характеристики процессора - это количество разрядов его шины данных, количество разрядов его шины адреса и количество управляющих сигналов в шине управления. 2. Разрядность шины данных определяет допустимую сложность системы. 3. Разрядность шины адреса определяет скорость работы системы. 4. Количество линий управления определяет разнообразие режимов обмена и эффективность обмена процессора с другими устройствами системы.

Баллов: 1

Выберите один ответ.

- 2, 3
- 2, 3, 4
- 1, 3
- 1, 2, 3
- 2, 4
- 1, 3, 4

16 Самые главные управляющие сигналы - это стробы обмена, то есть сигналы, формируемые процессором и определяющие моменты времени, в которые производится пересылка данных по шине данных, обмен данными (строб записи, строб чтения).

Баллов: 1

Ответ:

- Верно
- Неверно

17 Какая из четырех шин является основной?

Баллов: 1

Ответ:

18 Микрокомпьютеры рассчитаны на широкий круг задач, однако выполняемые микрокомпьютером программы меняются достаточно проблематично в виду изначального программирования наиболее используемых задач.

Баллов: 1

Ответ:

- Верно
- Неверно

19 В микропроцессорной системе в большинстве случаев все операции выполняются параллельно.

Баллов: 1

Ответ:

- Верно
- Неверно

20 По типу шины адреса и шины данных все магистрали делятся на мультиплексированные и немultipлексированные. Определите по рисунку тип шин.

Баллов: 1

Выберите один ответ.

- 1 - немultipлексированный, 2 - мультиплексированный
- 1 - мультиплексированный, 2 - немultipлексированный



21 Укажите основные группы в системе команд процессора.

Баллов: 1

Выберите по крайней мере один ответ:

- команды адресации
- логические команды
- арифметические команды
- команды обработки прерывания
- команды пересылки данных
- команды переходов

22 Не любое прерывание обрабатывается через таблицу векторов (указателей) прерываний.

Баллов: 1

Ответ:

- Верно
- Неверно

0:31:10

23 Какой из типов микропроцессорных систем подходит к данному описанию: Это управляющие микропроцессорные системы, выполненные в виде отдельных модулей.

Баллов: 1

Выберите один ответ.

- микроконтроллеры
- микрокомпьютеры
- контроллеры
- компьютеры

24 Расположите действия в верном порядке: 1. Процессор, получив аппаратное прерывание, заканчивает выполнение текущей команды. 2. Процессор переходит в адрес памяти, задаваемый вектором. 3. Возвращение процессора к выполнению прерванной основной программы. 4. Происходит обращение к памяти в область таблицы векторов прерываний, в ту ее строку, которая определяется номером запрошенного прерывания. 5. Процессор читает код вектора прерывания. 6. Расположение в памяти программы обработки прерывания с данным номером. 7. Выполнение команды выхода из прерывания

Баллов: 1

Выберите один ответ.

- 1, 5, 4, 6, 2, 7, 3
- 5, 2, 4, 6, 1, 7, 3
- 1, 4, 5, 2, 6, 7, 3
- 5, 6, 4, 2, 1, 7, 3

25 Выберите вариант, который не является одной из основных функций процессора.

Баллов: 1

Выберите один ответ.

- вывод (запись) данных в память или в устройства ввода/вывода
- выборка (чтение) выполняемых команд
- адресация памяти, то есть задание адреса памяти, с которым будет производиться обмен
- ввод (чтение) данных из памяти или устройства ввода/вывода
- обработка данных (операндов), в том числе арифметические операции над ними
- обработка прерываний и режима прямого доступа
- поддержание рабочей температуры

6

Учреждение образования
«Гомельский государственный университет имени Франциска Скорины»

УТВЕРЖДАЮ

Ректор

ГГУ имени Ф. Скорины

_____ С.А. Хахомов

(дата утверждения)
Регистрационный № УД-_____ / уч.

МИКРОПРОЦЕССОРЫ И МИКРОКОМПЬЮТЕРЫ

Учебная программа учреждения высшего образования
по учебной дисциплине для специальности
1-53 01 02 Автоматизированные системы обработки информации

2022 г.

Учебная программа составлена на основе образовательного стандарта ОСВО 1-53 01 02-2021 г. и учебного плана ГГУ имени Ф.Скорины регистрационный № I 53-1-21/УП, дата утверждения 31.05.2021.

СОСТАВИТЕЛЬ:

В.Н. Кулинченко, ст. преподаватель кафедры АСОИ

РЕКОМЕНДОВАНА К УТВЕРЖДЕНИЮ:

Кафедрой автоматизированных систем обработки информации
(протокол № 9 от 19.04.2022)

Научно-методическим советом Учреждения образования «Гомельский государственный университет имени Франциска Скорины».
(протокол № 4 от 17.05.2022)

РЕПОЗИТОРИЙ УНИВЕРСИТЕТА ИМЕНИ ФРАНЦИСКА СКОРИНЫ

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

Изучение дисциплины компонента учреждения высшего образования «Микропроцессоры и микрокомпьютеры» предусмотрено учебным планом подготовки специалистов специальности I-53 01 02 – «Автоматизированные системы обработки информации».

Актуальность изучения дисциплины обусловлена стремительным развитием рынка современных семейств микропроцессоров и микроконтроллеров и постоянным совершенствованием их внутренней микроархитектуры.

Целью дисциплины является обучение студентов фундаментальным основам цифровой и вычислительной техники, а также вопросам проектирования микропроцессорных устройств и методологическим основам технической диагностики автоматизированных систем обработки информации.

В результате изучения дисциплины студент должен:

знать:

- арифметические и логические основы вычислительной техники, формы представления информации в электронных цифровых вычислительных устройствах, принципы организации и работы запоминающих устройств, архитектуру и функционирование микропроцессора и микрокомпьютера;
- основные типы импульсных и цифровых устройств, их назначение, принципы работы, параметры и характеристики, схемотехнические методы построения, булеву алгебру, методы лингвистического описания логических схем;
- основы технической диагностики, методы тестирования, контроля и диагностики сложных цифровых и импульсных систем;

уметь характеризовать:

- физические процессы, происходящие в цифровых и микропроцессорных устройствах;

уметь анализировать:

- импульсные устройства, используя расчетные соотношения, связывающие характеристики устройств с параметрами радиоэлектронных компонентов;
- цифровые устройства, используя принципиальные схемы устройств, аппарат булевой алгебры и теорию конечных автоматов;
- множество разного рода неисправностей и сбоев различной глубины и степени сложности в работе аппаратуры и программного обеспечения.

приобрести навыки:

- составления алгоритмов и программ на Ассемблере или С реализующих типовые процедуры формирования сигналов, арифметические и логические преобразования, а также ввод и вывод информации;
- обслуживания и ремонта сложных цифровых систем.

Исследования принципов функционирования микропроцессорного вычислителя, а также отладку программ для него в процессе выполнения

лабораторных работ рекомендуется проводить на компьютерах в интегрированной среде MPLAB.

Дисциплина компонента учреждения высшего образования «Микропроцессоры и микрокомпьютеры» изучается студентами 2 курса дневной формы обучения специальности I-53 01 02 – «Автоматизированные системы обработки информации»; студентами 2 и 3 курса заочной формы обучения специальности I-53 01 02 – «Автоматизированные системы обработки информации»; студентами 2 и 3 курса заочной интегрированной со средним специальным образованием формы обучения специальности I-53 01 02 – «Автоматизированные системы обработки информации».

После изучения дисциплины студент должен обладать следующими видами компетенций:

БПК-11 Приобрести знания об устройстве современных ЭВМ и принципах их работы.

СК-9 Проводить описание электрических цепей, моделировать их режимы работы с помощью средств автоматизированного проектирования.

СК-10 Проводить анализ электрических цепей для статических и динамических режимов со сосредоточенными и распределенными параметрами.

Дневная форма обучения: всего часов по плану-212, аудиторное количество часов – 112; из них: лекционных занятий – 58 (в том числе УСП 12), лабораторных работ – 54.

Форма отчётности – зачет в 3 семестре, зачет в 4 семестре.

Заочная форма обучения: всего часов по плану - 212, аудиторное количество часов – 28, из них: лекционных занятий – 14 (3 семестр - 6 ч., 4 семестр - 8 ч.), лабораторных работ – 14 (4 семестр – 8 ч., 5 семестр – 6 ч.).

Форма отчётности – зачет в 4 семестре, зачет в 5 семестре.

Заочная форма обучения (интегрированная на основе среднего специального образования): всего часов по плану-212, аудиторное количество часов – 26, из них: лекционных занятий – 14 (3 семестр - 2 ч., 4 семестр - 6 ч., 5 семестр - 6 ч.), лабораторных работ – 12 (4 семестр – 6 ч., 5 семестр – 6 ч.).

Форма отчётности – зачет в 4 семестре, зачет в 5 семестре.

Содержание учебного материала

Раздел 1 Основы микропроцессорной техники

Тема 1

ПРЕДСТАВЛЕНИЕ ЦИФРОВОЙ ИНФОРМАЦИИ

Основная единица хранения данных в компьютере. Понятие бита. Байт как восемь бит. Понятие логической единицы и логического нуля. Понятие включения и выключения бит в байте (установка или "включен" (= 1) или сброшен или "выключен" (= 0). Представление в одном байте до 256 разных символов (расширенный набор кодов ASCII или целое число в диапазоне от 0 до 255). Представление чисел в десятичной, двоичной или шестнадцатеричной форме. Система переводов из одной системы в другую. Хранение в одном байте чисел от 0 до 255 (хранение двоичных чисел от 00000000 до 11111111 или шестнадцатеричных чисел от 00 до FF). Различие в представлении двоичных и шестнадцатеричных чисел.

Форматы двоичных чисел. Представление содержимого байта в двоичной форме. Понятие младших и старших разрядов. Использование понятия веса при представлении двоичных цифр. Представление десятичных чисел в двоичной системе. Незначащие нули слева при записи до байта. Примеры записи десятичных чисел в различных форматах.

Прямой, обратный и дополнительный коды при выполнении арифметических операций в ЭВМ. Понятие кода числа. Математическая естественная форма записи числа. Длина слова как важнейшая характеристика любой ЭВМ. Определение длины слова количеством двоичных разрядов слова. Основные определения двоичного алфавита. Правила указания знака числа. Синтаксис двоичного алфавита. Определение прямого и обратного кода двоичного числа. Определение дополнительного кода числа. Связь операций в ЭВМ с многообразием разных кодов чисел. Применение прямого, обратного и дополнительного кодов чисел при выполнении арифметических операций в ЭВМ.

Тема 2

ПРОСТРАНСТВО ПАМЯТИ И ВВОДА-ВЫВОДА

Разделение памяти для процессоров 80x86. Деление на байты (8 бит), слова (16 бит), двойные слова (32 бит). Запись слова в двух смежных байтах, начиная с младшего. Адресом слова как адрес его младшего байта. Запись двойных слов в четырех смежных байтах, начиная с младшего байта. Адрес младшего байта как адрес двойного слова.

Понятия страницы и сегмента. Логическая организация памяти в виде одного или множества сегментов переменной длины (в реальном режиме – фиксированной). Разбиение логической памяти на страницы в защищенном режиме (размером 4 Кбайт (Paging)). Отображение страниц на любую область физической памяти. Сегментация как средство организации логической памяти, используемое на прикладном уровне. Применение страничной разбивки на системном уровне для управления физической памятью.

Получение физического 32-битного адреса памяти преобразованием линейного адреса блоком страничной переадресации. Совпадение линейного адреса с физическим при отключенном блоке страничной переадресации. Включение блока страничной переадресации в защищенном режиме.

Формирование шинных сигналов MEMWR# (операций записи) и MEMR0# (операций считывания) для обращения к памяти процессора. Связь ширины шины адреса с адресацией физической памяти. Дополнительная возможность обращения к 32-битным портам. Задание адреса устройства в команде. Использование регистра DX. Вызов шинных циклов с активными сигналами IORD#, IOWR# командами ввода/вывода. Строковые команды и блочный ввод/вывод. Резервирование адресного пространства ввода/вывода OF8 — OFF для использования сопроцессором.

Физическое и логическое адресное пространство. Организация программного модуля и модуля данных в виде отдельных сегментов. Программирование с помощью логических адресов, начиная с нулевого. Особенности работы с сегментами в основной памяти. Выполнение программы процессором, составленной с помощью логических адресов. Выдача процессором нулевого адреса при выполнении в некотором сегменте команды JUMP 0. Устройство преобразования логических адресов в физические - устройство управления памятью (УУП).

Принцип преобразования логических адресов в физические. Формула получения физического адреса. Указание базовым адресом местоположения сегмента в основной памяти.

Тема 3 **КОМАНДЫ. АССЕМБЛЕР**

Общий случай системы команд процессора. Основные группы команд. Команды пересылки данных. Арифметические команды. Логические команды. Команды переходов.

Работа команд пересылки данных. Пересылка операндов из источника (Source) в приемник (Destination). Источник и приемник как внутренние регистры процессора, ячейки памяти или устройства ввода/вывода. Использование АЛУ.

Выполнение арифметических команд. Операции сложения. Операции вычитания. Операции умножения. Операции деления. Операции увеличения на единицу (инкрементирования) и уменьшения на единицу (декрементирования). Один или два входных операнда. Формирование командами одного выходного операнда.

Логические команды над операндами. Логические операции. Логическое И. Логическое ИЛИ. Исключающее ИЛИ. Очистка, инверсия. Понятие сдвига (вправо, влево, арифметический сдвиг, циклический сдвиг).

Команды переходов и их назначение. Изменение обычного порядка последовательного выполнения команд. Организация переходов на подпрограммы и возвраты из них. Реализация циклов. Ветвления программ. Пропуски фрагментов программ. Изменение содержимого счетчика команд. Переходы условные и безусловные. Построение сложных алгоритмов обработки информации.

Установка или очистка битов регистра состояния процессора (PSW). Сходство и различие системы команд разных процессоров. Количество команд у процессора.

Процессоры с расширенной системой команд. Процессоры с сокращенным набором команд (RISC-процессоры). Увеличение эффективности и скорости выполнения RISC инструкций.

Назначение языка ассемблера. Запись основных конструкций языка. Отображение структур данных и структур управления языков высокого уровня на язык ассемблера. Макросредства в языке ассемблера. Организация ввода-вывода.

Понятие о модульном программировании, независимая трансляция модулей; структура модулей, межмодульные связи; объединение модулей, описанных на языке ассемблера и языках высокого уровня; соглашения о связях.

Операции в языке ассемблера. Обмен данных с регистрами. Выполнение операций на регистрах. Высокая эффективность языка ассемблера. Хранение данных в регистрах микропроцессора. Работа ассемблерного компилятора. Возврат значения в память после выполнения операции. Доступ к памяти.

Регистры общего назначения (AX, BX, CX и DX). Операции над содержимым регистра. Операции над содержимым половины регистра. Деление регистра на старшую и младшую части. Обозначение старшей и младшей частей регистра. Работа программ с байтными величинами. 16-битные значения регистров BP, SI и DI. Значение бит регистра флагов и его связь со статусом процессора.

Раздел 2 Микропроцессоры и микропроцессорная система

Тема 1

МИКРОПРОЦЕССОРЫ И ИХ КЛАССИФИКАЦИЯ

Понятие микропроцессора. Основные типы микропроцессоров. Однокристалльные микропроцессоры с фиксированной разрядностью слова. Однокристалльные микропроцессоры с фиксированной системой команд. Принцип обработки данных на основе использования команд программы. Однокристалльные микропроцессоры с управляющим устройством на “жесткой” логике. Многокристалльные (секционные) микропрограммируемые микропроцессоры с изменяемой разрядностью слова и фиксированным набором микроопераций. Использование основных особенностей данных типов микропроцессоров при проектировании микропроцессорных устройств и систем. Методы работы с микропроцессорами первого типа. Разработка микропрограммы, реализующей команды в управляющей памяти микропроцессора. Широкое применение однокристалльных микропроцессоров с фиксированной системой команд.

Развитие микропроцессоров на основе МОП- и биполярной технологии микроэлектроники. Преимущества МОП-технологии в отношении плотности размещения компонентов на кристалле. Многокристалльные микропрограммируемые быстродействующие микропроцессоры на основе биполярной технологии.

Тема 2

СТРУКТУРА МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Микропроцессорная система как частный случай электронной системы. Входные и выходные сигналы (аналоговые сигналы, одиночные цифровые сигналы, цифровые коды, последовательности цифровых кодов). Хранение и

накопление сигналов внутри системы. Преобразование входных аналоговых сигналов в последовательности кодов выборок с помощью АЦП. Формирование выходных аналоговых сигналов из последовательности кодов выборок с помощью ЦАП. Обработка и хранение информации в цифровом виде.

Особенности традиционной цифровой системы. Жесткая связь алгоритмов обработки и хранения информации со схемотехникой системы. Традиционная цифровая система как система на «жесткой логике». Преимущества систем на «жесткой логике». Недостатки цифровых систем на «жесткой логике».

Универсальность системы и критерий избыточности. Оптимальная сложность универсальной системы. Связь универсальности системы с критерием быстродействия. Оптимизация универсальной системы. Общее правило универсальности микропроцессорной системы.

Тема 3

КОНТРОЛЛЕР ШИНЫ

Системная магистраль (системная шина) микропроцессорной системы. Состав системной магистрали. Шинная структура связей микропроцессорной системы. Шина данных, шина адреса и шина управления.

Шина данных и ее характеристики. Разрядность линий связи шины данных. Двухнаправленная шина данных. Выход с тремя состояниями как наиболее часто встречающийся тип выходного каскада для шины данных.

Шина адреса как вторая по важности шина. Зависимость максимально возможной сложности микропроцессорной системы и адресной шины. Связь максимально допустимого объема памяти и адресной шины. Максимально возможный размер программы и максимально возможный объем запоминаемых данных. Количество адресов, обеспечиваемых шиной адреса, определяется как 2^N , где N — количество разрядов. Шина адреса как однонаправленная шина (магистралью управляет только процессор). Шина адреса как двухнаправленная шина (процессор временно передает управление магистралью другому устройству). Наиболее часто используемые типы выходных каскадов адресной шины.

Мультиплексирование шин адреса и данных. Стробирование сигналов при мультиплексировании на шине управления.

Шина управления как вспомогательная шина. Управляющие сигналы системной магистрали. Понятия циклов в микропроцессорной системе. Синхронизация работы процессора с работой памяти или устройствами ввода/вывода. Обслуживание запросов и предоставление прерываний. Запрос и предоставление прямого доступа к памяти. Характеристики сигналов шины управления. Типы выходных каскадов шины управления.

Тема 4

РЕЖИМЫ РАБОТЫ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ

Программный обмен информацией. как работа в монопольном режиме процессора и системной магистрали.

Обмен с использованием прерываний (Interrupts). Прерывания внутренние и внешние. Циклы обмена в режиме прерываний. Принципы работы в режиме прерываний. Прерывания в микропроцессорных системах. Векторные прерывания

и их характеристики. Понятие безадресного чтения. Использование циклов обмена по магистрали при векторных прерываниях Радиальные прерывания и их характеристики. Количество радиальных прерываний в системе. Связь радиального прерывания и дополнительных линий в шине управления системной магистральной. Понятие адреса вектора прерывания. Два пути передачи процессору информации о номере (адресе вектора) конкретного прерывания.

Контроллер прерываний. Управление аппаратными прерываниями в IBM PC. Микросхема программируемого контроллера прерываний Intel 8259. Схема приоритетов по запросов в контроллере прерываний. Запрос на прерывание (IRQ0 - IRQ15). Максимальный приоритет нулевого уровня. Добавочные 8 уровней и вторая микросхема Intel 8259. Аппаратные прерывания в порядке приоритета.

Максимальный приоритет системных часов. Прерывание от клавиатуры. Структура микросхемы 8259 (три однобайтных регистра, восемь линий аппаратных прерываний). Регистр запроса на прерывание (IRR). Проверка на параллельную обработку прерывания. Информация регистра обслуживания (ISR). Дополнительная цепь обработки схемы приоритетов. Проверка регистра маски прерываний (IMR). Порт 21H. Командный регистр прерываний (порт 20H).

Режим прямого доступа к памяти (ПДП, DMA). Обмен по системной шине без участия процессора. Внешнее устройство, требующее обслуживания в режиме ПДП. Необходимость использования режима прямого доступа в память внешними устройствами.

Операции в режиме ПДП с устройства ввода/вывода в память или из памяти. Работа процессора в режиме ПДП. Схожесть режима ПДП и режима обслуживания прерываний процессора. Необходимость введение в систему дополнительного устройства (контроллера ПДП). Роль контроллера ПДП в микропроцессорной системе. Контроллер ПДП как специализированный контроллер управления.

Скорость обмена данными в режиме ПДП. Ограничения возможностей магистрали. Необходимость программного задания режимов работы контроллера ПДП.

Тема 5

КОНТРОЛЛЕР ПАРАЛЛЕЛЬНОГО ИНТЕРФЕЙСА

Порт параллельного интерфейса в ПК (LPT-порт). Подключение принтера. Адаптер параллельного интерфейса. Набор регистров, расположенных в пространстве ввода/вывода. Адресация регистров порта относительно базового адреса порта. Стандартные значения адреса порта (3BCh, 378h и 278h). Использование линии запроса аппаратного прерывания (IRQ7 или IRQ5). Внешняя 8-битная шину данных порта. Использование 5-битной шины сигналов состояния. Внутренняя 4-битная шина управляющих сигналов.

Традиционный (стандартный) однонаправленный порт SPP (Standard Parallel Port). Программная реализация протокола обмена Centronics. Понятие Centronics. Набор сигналов и протокол взаимодействия Centronics. Физический интерфейс Centronics и его цоколевка (36-контактный разъем).

Стандарт параллельного интерфейса IEEE 1284. Пять режимов обмена данными. Метод согласования режима. Физический и электрический интерфейсы. Режимы обмена данными через параллельный порт. Compatibility Mode — однонаправленный (вывод) по протоколу Centronics. Nibble Mode — ввод байта в

два цикла (по 4 бита), используя для приема линии состояния. Byte Mode — ввод байта целиком, используя для приема линии данных. EPP (Enhanced Parallel Port) Mode — двунаправленный обмен данными, при котором управляющие сигналы интерфейса генерируются аппаратно во время цикла обращения к порту (чтения или записи в порт). ECP (Extended Capability Port) Mode — двунаправленный обмен данными с возможностью аппаратного сжатия данных по методу RLE (Run Length Encoding) и использования FIFO-буферов и DMA.

Тема 6 **КОНТРОЛЛЕР ПОСЛЕДОВАТЕЛЬНОГО ИНТЕРФЕЙСА**

Последовательный интерфейс. Использование одной сигнальной линии для передачи данных в одну сторону. Последовательная передача информационных бит. Режимы работы при последовательной передаче данных. Асинхронный и синхронный режимы работы последовательного порта.

Старт-стопный (асинхронный) режим работы порта. Старт-бит, бит паритета (контроля четности) и стоп-бит. Стандартные скорости обмена для асинхронного режима. Количество бит данных (5,6,7,8). Количество стоп-бит (1, 1,5 и 2). Длительность стопового интервала. Асинхронный обмен в персональном компьютере. Понятие СОМ-порта. Использование протокола RS-232C. Постоянная активность канала связи в синхронном режиме передачи. Посылка синхробайта и поток информационных бит. Различные реализации последовательного интерфейса на физическом уровне. Способы передачи электрических сигналов. Международные стандарты: RS-232C, RS-423A, RS-422A и RS-485. Подключение аппаратуры передающей или принимающей данные по интерфейсу RS-232C. ООД — оконечное оборудование данных или АПД(DTE)—аппаратура передачи данных. Оконечная аппаратура каналов данных (АКД или DCE). Описание управляющих сигналов интерфейса, пересылку данных, электрический интерфейс и типы разъемов.

Тема 7 **ЗАПОМИНАЮЩИЕ ЭЛЕМЕНТЫ И УСТРОЙСТВА**

Память персонального компьютера. Классификация памяти. Функциональное назначение. Принцип организации памяти. Логическая организация памяти. Конструктивная и технологическая реализация. Основные типы памяти персонального компьютера. Оперативная и постоянная память. Понятие единого адресного пространства памяти. Оперативная память как временное хранилище программ и данных. Постоянная память. Регистровые и буферные запоминающие устройства. Служебные ЗУ. Дополнительные ЗУ. ЗУ функциональных блоков. Жесткие диски. Внешние ЗУ. Объем различных типов памяти. Быстродействие памяти. Надежность различных типов памяти. Возможность быстрой замены информации. Способ доступа, реализуемый в различных типах памяти.

Раздел 3 Микропроцессоры семейств Intel (AMD)

Тема 1

МИКРОПРОЦЕССОРЫ СЕМЕЙСТВА INTEL И AMD

Развитие технологии производства процессоров Intel. Первый революционный 32-разрядный процессор Intel 80386 (1985 г.). Основные характеристики Intel 80386. Адресация в i80386 (32-разрядная адресная шина). Развитая система управления памятью MMU (Memory Management Unit). Микропроцессор Intel 486DX (1989 г.) и его основные характеристики. Встроенный математический сопроцессор и внутренняя кэш-память. Технология умножения тактовой частоты. Процессоры Intel Pentium (1995). Внутренняя 32-разрядная архитектура Intel Pentium. Внешняя 64-разрядная шина данных. Intel Pentium как первые суперскалярные процессоры RISC архитектуры (более высокое быстродействие при той же тактовой частоте). Технология Pentium MMX (1997). Микроархитектура Pentium II, Pentium III, Pentium IV, CORE, CORE2DUO, SandyBridge, IvyBridge, Xeon.

Тема 2

МИКРОПРОЦЕССОРЫ СЕМЕЙСТВА AMD

История развития технологии производства процессоров Amd (Am9080, микропроцессорный комплект Am2900, Am29000 (Am29K), Am 8088, Am 8086, Am 80186, Am 286™, Am 386™, Am 486™, Am 586™, AMD K5™ (5k86), AMD K6, AMD K6®-2, AMD K6®-3). Процессоры серии K7, процессоры серии K8, процессоры серии K10, процессоры Bulldozer (K11). Микроархитектура современных многоядерных процессоров AMD.

Тема 3

ОСНОВНЫЕ ПОДСИСТЕМЫ ПРОЦЕССОРА

Структура процессора. Внутренние регистры. Арифметико-логическое устройство (АЛУ, ALU — Arithmetic Logic Unit). Мультиплексоры. Буферы и регистры. Система синхронизации общим внешним тактовым сигналом процессора. Микроархитектура процессора как сложного цифрового устройства. Представление информации о тонкостях внутренней структуры. Процессор как «черный ящик» для разработчика. Входные и управляющие коды. Выдача выходных сигналов. Система команд, режимы работы процессора. Правила взаимодействия процессора с внешним миром. Протоколы обмена информацией.

Раздел 4 Микрокомпьютеры и микроконтроллеры

Тема 1

БАЗОВЫЕ СТРУКТУРЫ МИКРОКОМПЬЮТЕРОВ

Диапазон применения микропроцессорной техники. Требования к микропроцессорным системам. Несколько типов микропроцессорных систем. Мощность, универсальность, быстродействие и структурные отличия микропроцессорных систем. Основные типы микропроцессорных систем. Определение понятия микроконтроллера и его основных характеристик. Определение понятия контроллера. Определение понятия микрокомпьютера и его

основных характеристик. Определение понятия компьютера (в том числе персонального) его мощности и универсальности как микропроцессорной системы.

Область применения микроконтроллеров. Микроконтроллеры как универсальные устройства в составе более сложных устройств (в том числе и контроллеров). Системная шина микроконтроллера и ее защищенность. Возможности подключения внешних устройств к микроконтроллеру. Специализированные устройства на микроконтроллерах для решения конкретной задачи.

Контроллеры как устройства для решения какой-то отдельной задачи или группы близких задач. Отсутствие возможностей подключения дополнительных узлов и устройств к контроллеру (большой памяти, средств ввода/вывода). Защищенность системной шины от пользователя. Структура контроллера. Оптимизация структуры контроллера под максимальное быстродействие. Хранение выполняемых программ в постоянной памяти (в большинстве случаев). Конструктив контроллеров в одноплатном варианте.

Основное отличие микрокомпьютеров от контроллеров. Открытость структуры микрокомпьютеров. Подключение к системной шине микрокомпьютера нескольких дополнительных устройств. Производятся микрокомпьютеры в корпусе с разъемами системной магистрали. Микрокомпьютеры и средства хранения информации на магнитных носителях. Микрокомпьютеры и развитые средства связи с пользователем. Высокая адаптивность микрокомпьютеров под различные типы задач.

Компьютеры и персональные компьютеры как самые универсальные из микропроцессорных систем. Широкие возможности модернизации компьютеров. Универсальность и простота подключения новых устройств к компьютерам. Открытая архитектура системной шины компьютеров. Состав компьютера и его архитектура. Развитые средства связи с пользователем. Средства длительного хранения информации большого объема. Средства связи с другими компьютерами по информационным сетям. Универсальность применения компьютеров в различных областях. Использование компьютеров в управлении работой сложных электронных систем.

Тема 2

МИКРОКОНТРОЛЛЕРЫ CISC – АРХИТЕКТУРЫ

Внутренняя 8-разрядная шина данных как основа структурной схемы микроконтроллера K1816BE48.

Основные структурные элементы микроконтроллера. Понятие АЛУ. Понятие УУ как синхронного автомата с тактирующим как внешним так и внутренним генератором. Частота внешнего кварцевого резонатора от 1 до 6МГц. ПЗУ с ультрафиолетовым стиранием. ОЗУ. Таймер. Счетчик событий. Двухнаправленные порты 1 и 2. Порт однобайтного ввода-вывода BUS. Микроконтроллер с подключением внешнего ПЗУ объемом до 3Кбайт. Обеспечение прямой адресации к внешнему ОЗУ объемом 256байт. Использование страничной адресации памяти при адресации большего объема ОЗУ при размере страницы не более 256байт. Использование ППА ВВ55А в качестве расширителя пространства портов ввода-вывода.

Реализация векторной системы прерывания от внешнего входа INT в МК48 и от внутреннего таймера. Сохранение при прерываниях информации в восьмиуровневом стеке. Пороги питающих напряжений и программирования.

Тема 3

МИКРОКОНТРОЛЛЕРЫ RISC – АРХИТЕКТУРЫ СЕМЕЙСТВА PIC16CXX, PIC18XXX

Характеристики PIC16C84 как типичного представителя семейства КМОП микроконтроллеров. Основные отличия микроконтроллера PIC16C84. Внутреннее EEPROM 1К x 14 бит для программ. 8-битовые данные. EEPROM в 64байта памяти данных. Низкая стоимостью и высокая производительность. Знакомство пользователей с семейством PIC16C5X. Команды, состоящие из одного слова (14 бит). Исполнение команд за один цикл (400 нс при 10 МГц), кроме команд перехода, которые выполняются за два цикла (800 нс). Прерывания в PIC16C84, срабатывающее от четырех источников. Восьмиуровневый аппаратный стек. Периферия с 8-битным таймер/счетчиком. 8-битный программируемый предварительный делитель (фактически 16 - битный таймер). 13 линий двунаправленного ввода/вывода. Высокая нагрузочная способность (25мА макс. вытекающий ток, 20 мА макс. вытекающий ток) линий ввода/вывода упрощают внешние драйверы и, тем самым, уменьшается общая стоимость системы. Поддержка разработок на базе контроллеров PIC16C84 ассемблером, программным симулятором, внутрисхемным эмулятором (только фирмы Microchip) и программатором.

Миниатюризация размеров корпусов и использование микроконтроллеров для портативных приложений. Экономичность, быстроедействие, простота использования и гибкость PIC16C84. Таймеры, замена жесткой логики в больших системах, сопроцессоры.

Тонкая подстройка программы и данных под конкретные требования после завершения ассемблирования и тестирования. Использование данной возможности для тиражирования и занесения калибровочных данных уже после окончательного тестирования.

Семейство PIC18FXXX и его отличие от семейства PIC18CXX.

Использование серии PIC18XXX в схемах высокоскоростного управления автомобильными и электрическими двигателями. Использование PIC18C84 в экономичных удаленных приемопередатчиках и связных процессорах. Использование ПЗУ для подстройки параметров в прикладных программах (коды передатчика, скорости двигателя, частоты приемника).

Раздел 5 Диагностика и тестирование микропроцессорных систем

Тема 1

ЗАДАЧИ ДИАГНОСТИРОВАНИЯ СИСТЕМ

Понятие системы, сложной системы. Определение надежности цифровых схем.

Определение контроля и диагностики цифровых схем. Классификация контроля. Понятие глубины диагностирования. Типы неисправностей цифровых схем. Управляемость, наблюдаемость и тестируемость цифровых схем.

Тема 2

МЕТОДЫ ГЕНЕРИРОВАНИЯ ТЕСТОВ

Метод активизации одномерного пути. d-алгоритм, Булево-дифференциальный метод построения тестов. Метод эквивалентных нормальных форм. Особенности построения тестов для последовательных цифровых схем. Оценка эффективности методов построения тестов. Метод Шеннона-Фано. Метод пересекающихся областей. Дерево тестов. Таблицы покрытий.

Тема 3

ДИАГНОСТИРОВАНИЕ В МНОГОПРОЦЕССОРНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМАХ.

Понятие ядра ВС. Плавающее, централизованное, распределенное ядро. Слабосвязанные и сильносвязанные системы. Локальные и глобальные ВС. Настройка ВС. Диагностика сложной системы.

Тестопригодное устройство со сканированием внутренних состояний. Самотестируемое устройство с автономным диагностированием. Сочетание сканирования с методами самотестирования.

Тема 4

ВЕРОЯТНОСТНОЕ И ПСЕВДОСЛУЧАЙНОЕ ТЕСТИРОВАНИЕ

Сущность вероятностного тестирования. Методы аналитического определения вероятностного описания цифровых схем. Оценка вероятности обнаружения дефектов. Определение длины тестовой последовательности. Методы определения оптимальных значений вероятностей входных переменных.

Псевдослучайные последовательности. Использование псевдослучайных последовательностей для контроля цифровых схем. Синтез генераторов псевдослучайных последовательностей. Формирование последовательностей с заданными вероятностями и временными характеристиками.

Исчерпывающее тестирование СБИС. Синтез генераторов тестовых последовательностей. Построение генераторов тестовых последовательностей для заданной топологии СБИС. Кольцевое тестирование.

Тема 5

СИГНАТУРНЫЙ АНАЛИЗ

Сущность сигнатурного анализа. Сигнатурный анализ как алгоритм деления двоичных полиномов. Достоверность сигнатурного анализа. Анализ методов сравнительной оценки эффективности сигнатурного анализа. Способ сравнения методов компактного тестирования.

Построение многоканальных цифровых схем. Синтез многоканальных

цифровых сигнальных анализаторов. Оценка достоверности многоканального сигнального анализатора. Применение многоканальных анализаторов для диагностики неисправностей.

Раздел 6 Диагностика персональных компьютеров, периферийных и мобильных устройств

Тема 1

PC КОМПЬЮТЕРЫ - СИСТЕМЫ С САМОДИАГНОСТИКОЙ

Самодиагностика. Контрольные точки. Оперативный контроль в IBM совместимых компьютерах. POST - диагностика. Расширенный BIOS компьютера. Настройки конфигурации IBM PC. Диагностика периферийных контроллеров (имитаторы каналов и т.д.). Проверка ОЗУ в защищенном режиме МП.

Тема 2

ИНСТРУМЕНТАЛЬНЫЕ СРЕДСТВА ДИАГНОСТИКИ IBM КОМПЬЮТЕРОВ

Утилиты DOS. Программное тестирование. Сравнительный анализ, достоинства и недостатки программного тестирования аппаратуры. Верификация программного обеспечения вычислительных систем. Вирусы как искусственные саморазмножающиеся конструкции. Антивирусные программы. Периодичность антивирусных профилактик. Системы защиты программного обеспечения (аппаратные, программные). Проверка целостности программной части персонального компьютера.

Тема 3

IBM КОМПЬЮТЕР – КАК ИСПЫТАТЕЛЬНЫЙ СТЕНД "НЕ РОДНОГО" ОБОРУДОВАНИЯ

Адаптеры цифрового осциллографа. Многоканальный анализатор. Использование IBM компьютеров как модульной основы для построения управления, анализа, тестирования и диагностирования "не родного" оборудования.

Тема 4

ТЕСТИРОВАНИЕ СЕТЕВОГО ОБОРУДОВАНИЯ

Утилиты тестирования сетевого оборудования. Протоколы проверки корректности передачи информации. Протоколы коррекции ошибок. Особенности адаптации в условиях сильных помех. Скорость обмена данными. Протоколы обмена данными.

Тема 5

РЕМОНТ ИМПУЛЬСНОГО БЛОКА ПИТАНИЯ

Спецификации разъемов и выходных питающих напряжений импульсного блока питания (ИБП). Проверка работоспособности схемы управления. ШИМ-контроллер. Тестирование и проверка входной высоковольтной цепи. Замена диодного моста, защитного терморезистора, электролитов высокого напряжения, катушек и элементов управления в базовой цепи силовых транзисторов. Проверка работы силовых транзисторов. Проверка выходных параметров блока питания. Нормальная и экстремальная нагрузка импульсного блока питания. Источник дежурного питания. Сигнальные характеристики сигналов PWR_OK и PS_ON. Ремонт системы охлаждения.

Тема 6

АППАРАТНЫЙ И ПРОГРАММНЫЙ МОНИТОРИНГ СОСТОЯНИЯ КОМПОНЕНТОВ КОМПЬЮТЕРА

Виды и возможности мониторинга. Мониторинг аппаратный и программный. Реализация мониторинга с помощью датчиков (терморезисторы, термодиоды, термотранзисторы). Мониторинг температуры, питающих напряжений и скорости вращения вентиляторов. Микросхемы мониторинга. Мультиконтроллер материнской платы (Super IO/Multi IO), его микроархитектура и принцип работы.

Тема 7

ТЕХНИЧЕСКОЕ ОПИСАНИЕ ЖЕСТКОГО ДИСКА

Техническое описание НЖМД. Структурная схема НЖМД. Схема управления шпиндельным двигателем. Схема управления позиционированием блока магнитных головок. Канал считывания-записи. Сепаратор данных и предкомпенсация записи. Однокристалльный микроконтроллер. Организация интерфейсов IDE и SATA. Порты ввода-вывода и команды НЖМД. Адресация регистров НЖМД.

Тема 8

ОБЩИЕ ПРИНЦИПЫ РЕМОНТА И ВОССТАНОВЛЕНИЯ ИНФОРМАЦИИ ЖЕСТКОГО ДИСКА

Ремонт НЖМД. Методы восстановления служебной информации. Режим трансляции. Методы скрытия дефектов в НЖМД. Интерпретация кодов ошибок при диагностике НЖМД. Основные принципы определения неисправностей. Неисправность с начальной инициализацией. Неисправность схемы управления шпиндельным двигателем. Неисправность системы позиционирования. Неисправность канала чтения-преобразования данных. Неисправность канала записи, схемы предкомпенсации данных. Разрушение служебной информации. Совместимость плат управления и гермоблоков НЖМД. Различные уровни форматирования современных жестких дисков. Продольная и перпендикулярная запись. Основные методы физического хранения и кодирования информации в НЖМД. Восстановление информации с неисправных НЖМД. Использование специализированных диагностических утилит для диагностики и тестирования НЖМД.

Тема 9

ТЕСТИРОВАНИЕ И ДИАГНОСТИКА МАТЕРИНСКИХ ПЛАТ

Статистика неисправностей материнских плат. Классификация неисправностей и сбоев материнских плат. Визуальный осмотр материнской платы. Методика первоначального запуска и проверки работоспособности материнской платы. Использование POST карты при диагностике материнской платы. Мгновенное выключение питания. Отсутствие сигналов POST-диагностики. Проверка чипсета и мультиконтроллера материнской платы. Проверка встроенной периферии (встроенного видеоадаптера, звуковой, сетевой карты и рейд-контроллера).

Т е м а 10

РЕМОНТ МАТЕРИНСКИХ ПЛАТ

Проверка опорных напряжений на слотах памяти, процессоре, системной шине, ШИМ-контроллере. Отсутствие дежурного напряжения. Проверка VRM, цепей включения (Reset, Power On, CMOS jumper, работоспособность ключа PS-ON). Микротрещины и нарушения контактов в разъемах материнской платы. Проблемы с микросхемой FLASH и прошивкой BIOS. Восстановление прошивки после нештатных ситуаций с BIOS. Нарушение BGA пайки. Методика пайки различных SMD деталей и упаковок микросхем на материнской плате.

Т е м а 11

ДИАГНОСТИКА И РЕМОНТ FLASH УСТРОЙСТВ

Архитектура Flash накопителей. Стабилизатор из 5V в 3.3V. Процессор. Микросхемы памяти Flash и их классификация. Резисторы и конденсаторы обвязки. Проверка выходного напряжения стабилизатора. Перепрошивка микропрограммы по маркировке чипа процессора с использованием специализированных утилит. Замена микросхемы памяти Flash. Тестирование и замена элементов обвязки.

Т е м а 12

ДИАГНОСТИКА И РЕМОНТ ПЕРИФЕРИЙНЫХ УСТРОЙСТВ

Выявление проблем в работе периферийных устройств. Тестирование и ремонт различных типов манипуляторов. Поиск неисправностей в сканирующих устройствах. Диагностика и ремонт матричных, струйных и лазерных принтеров. Тестирование и диагностика ЭЛТ и ЖК мониторов. Ремонт устройств вывода изображений.

Т е м а 13

ДИАГНОСТИКА И РЕМОНТ НОУТБУКОВ, МОБИЛЬНЫХ ТЕЛЕФОНОВ И ПЛАНШЕТНЫХ УСТРОЙСТВ

Проблемы с включением ноутбука. Проблемы с питанием. Проблемы с чипсетом. Дефекты процессора. Проблемы с мультиконтроллером. Проблемы с видеокартой. Проблемы с оперативной памятью. Проблемы с жестким диском или

приводом. Проблемы с другими системными устройствами. Решение проблем с включением ноутбука.

Диагностика неисправностей при ремонте сотовых телефонов. Оборудование для диагностики и ремонта мобильных телефонов. Механические повреждения. Выход из строя электронных компонентов. Неправильная работа программного обеспечения телефона. Отсутствие изображения на экране устройства. Устранение неисправностей устройств, в которые попала влага.

Типовые неисправности планшетов. Отсутствие реакции на касание, нажатие сенсорного экрана планшета. Планшет не имеет изображения на экране дисплея. Процесс замены экрана планшета. Проблема быстрой разрядки аккумулятора планшета. Аккумулятор планшета перестал заряжаться.. Не работает микрофон и камера в планшете, не работает звонок, динамик, нет звука. Отсутствие сети (у планшета не работает Wi-Fi, Bluetooth, 3G, 4G, LTE). Рассинхронизация планшета с ПК. Планшет заблокирован и просит ввести код. Планшет не видит SIM карту. Способы устранения неисправностей планшетов.

Тема 14

ТЕХНОЛОГИЯ ПАЙКИ РАДИОКОМПОНЕНТ

Виды паяльного оборудования. Основы обращения с оборудованием для пайки. Техника безопасности при работе с паяльным оборудованием. Припой. Флюсы. Кислотная пайка. Пайка конденсаторов, транзисторов, диодов и микросхем. Пайка SMD элементов. Пайка пластмассовых деталей. Пайка проводов и восстановление токоведущих дорожек в лаковой изоляции. Пайка печатных плат.

УЧЕБНО-МЕТОДИЧЕСКАЯ КАРТА УЧЕБНОЙ ДИСЦИПЛИНЫ (Дневная форма обучения)

Номер раздела, темы, занятия	Название раздела, темы, занятия; перечень изучаемых вопросов	Количество аудиторных часов				Количество часов УСР	Формы контроля знаний
		Лекции	Практические (семинарские)	Лабораторные занятия	Иное		
1	2	3	4	5	6	7	9
1	Раздел 1 Основы микропроцессорной техники (14 ч.)						
1.1	Представление цифровой информации (2 ч.)					2	Реферативная работа
1.2	Пространство памяти и ввода-вывода (4 ч.)	2					
1.3	Команды. Ассемблер. (4 ч.)	2		2			
2	Раздел 2. Микропроцессоры и микропроцессорная система (24 ч.)						
2.1	Микропроцессоры и их классификация (2 ч.)	2					
2.2	Структура микропроцессорной системы (4 ч.)	2				2	Реферативная работа
2.3	Промышленные контроллеры шин (2 ч.)					2	Реферативная работа
2.4	Режимы работы микропроцессорной системы (4 ч.)	2		2			Защита лабораторных работ
2.5	Контроллер параллельного интерфейса (4 ч.)	2		2			Защита лабораторных работ

2.6	Контроллер последовательного интерфейса (4 ч.).	2		2			Защита лабораторных работ
2.7	Запоминающие элементы и устройства (4 ч.)	2		2			Защита лабораторных работ
3	Раздел 3. Микропроцессоры семейств Intel (AMD) (12 ч.)						
3.1	Микропроцессоры семейства INTEL (6 ч.)	2		2			
3.2	Микропроцессоры семейства AMD (4 ч.)	2		2			
3.3	Основные подсистемы процессора (2 ч.)	2					
4	Раздел 4. Микрокомпьютеры и микроконтроллеры (16 ч.)						
4.1	Базовые структуры микрокомпьютеров (4 ч.)	2					
4.2	Микроконтроллеры CISC – архитектуры (4 ч.)	2					
4.3	Микроконтроллеры RISC – архитектуры семейства PIC16CXX, PIC18XXX.	2		8			Защита лабораторных работ
5	Раздел 5 Диагностика и тестирование микропроцессорных систем (14 ч.)						
5.1	Задачи диагностирования систем (2 ч.)					2	Реферативная работа
5.2	Методы генерирования тестов (4 ч.)	2		2			Защита лабораторных работ
5.3	Диагностирование в многопроцессорных вычислительных системах (2 ч.)					2	Реферативная работа
5.4	Вероятностное и псевдослучайное тестирование (2 ч.)	2					
5.5	Сигнатурный анализ (4 ч.)	2					
6	Раздел 6 Диагностика персональных компьютеров (64 ч.)						
6.1	PC компьютеры - системы с самодиагностикой (4 ч.)	2		2			
6.2	Инструментальные средства диагностики IBM компьютеров (4 ч.)	2		2			
6.3	IBM компьютер – как испытательный стенд "не родного" оборудования (4 ч.)			2		2	Реферативная работа
6.4	Тестирование сетевого оборудования (2 ч.)	2					

6.5	Ремонт импульсного блока питания (4 ч.)	2		2			
6.6	Аппаратный и программный мониторинг состояния компонентов компьютера (4 ч.)	2		2			Защита лабораторных работ
6.7	Техническое описание жесткого диска (2 ч.)			2			
6.8	Общие принципы ремонта и восстановления информации жесткого диска (8 ч.)	2		2			Защита лабораторных работ
6.9	Тестирование и диагностика материнских плат (4 ч.)	2					
6.10	Ремонт материнских плат (4 ч.)	2		2			
6.11	Диагностика и ремонт Flash устройств (4 ч.)	2		2			Защита лабораторных работ
6.12	Диагностика и ремонт периферийных устройств (4 ч.)	2		2			
6.13	Диагностика и ремонт ноутбуков, мобильных телефонов и планшетных устройств (6 ч.)	2		2			Защита лабораторных работ
6.14	Технология пайки радиокомпонент (8 ч.)	2		8			
Всего		58		54		12	

Старший преподаватель

В.Н. Кулинченко

УЧЕБНО-МЕТОДИЧЕСКАЯ КАРТА УЧЕБНОЙ ДИСЦИПЛИНЫ (Заочная форма обучения)

Номер раздела, темы, занятия	Название раздела, темы, занятия; перечень изучаемых вопросов	Количество аудиторных часов				Количество часов УСП	Формы контроля знаний
		Лекции	Практические (семинарские)	Лабораторные занятия	Иное		
1	2	3	4	5	6	7	9
2	<i>Раздел 2. Микропроцессоры и микропроцессорная система</i>						
2.1	Микропроцессоры и их классификация	2		2			Защита лабораторных работ
2.2	Структура и режимы работы микропроцессорной системы	2		2			Защита лабораторных работ
3	Раздел 3. Микропроцессоры семейств Intel (AMD)						
3.1	Микропроцессоры семейств INTEL и AMD	2		2			Защита лабораторных работ
4	Раздел 4. Микрокомпьютеры и микроконтроллеры						
4.3	Микроконтроллеры RISC – архитектуры семейства PIC16CXX, PIC18XXX	2		2			Защита лабораторных работ
6	Раздел 6 Диагностика персональных компьютеров						
6.2	Инструментальные средства диагностики IBM компьютеров	2		2			Защита лабораторных работ
6.8	Общие принципы ремонта и восстановления информации жесткого диска и flash накопителей	2		2			Защита контрольной работы
6.16	Технология пайки радиокомпонент	2		2			Защита лабораторных работ
Всего		14		14			

Старший преподаватель

В.Н. Кулинченко

УЧЕБНО-МЕТОДИЧЕСКАЯ КАРТА УЧЕБНОЙ ДИСЦИПЛИНЫ (Заочная интегрированная на основе среднего специального образования форма обучения)

Номер раздела, темы, занятия	Название раздела, темы, занятия; перечень изучаемых вопросов	Количество аудиторных часов				Количество часов УСР	Формы контроля знаний
		Лекции	Практические (семинарские)	Лабораторные занятия	Иное		
1	2	3	4	5	6	7	9
2	<i>Раздел 2. Микропроцессоры и микропроцессорная система</i>						
2.1	Микропроцессоры и их классификация	2					
2.2	Структура и режимы работы микропроцессорной системы	2					
3	Раздел 3. Микропроцессоры семейств Intel (AMD)						
3.1	Микропроцессоры семейств INTEL и AMD	2		2			Защита лабораторных работ
4	Раздел 4. Микрокомпьютеры и микроконтроллеры						
4.3	Микроконтроллеры RISC – архитектуры семейства PIC16CXX, PIC18XXX	2		4			Защита лабораторных работ
6	Раздел 6 Диагностика персональных компьютеров						
6.2	Инструментальные средства диагностики IBM компьютеров	2		2			Защита лабораторных работ
6.8	Общие принципы ремонта и восстановления информации жесткого диска и Flash накопителей	2		2			Защита контрольной работы
6.16	Технология пайки радиокомпонент	2		2			Защита лабораторных работ
Всего		14		12			

Старший преподаватель

В.Н. Кулинченко

ИНФОРМАЦИОННО - МЕТОДИЧЕСКАЯ ЧАСТЬ

Перечень лабораторных занятий

1. Архитектура микроконтроллеров Microchip
2. Отладчик и симулятор MPLAB IDE
3. Порты ввода-вывода
4. Таймер, прерывания и специальные функции
5. Последовательный порт RS232
6. Программирование BIOS\CMOS
7. Программное определение характеристик оптических накопителей.
8. POST-диагностика IBM компьютеров.
9. Определение типа процессора.
10. Тестирование и восстановление flash накопителей.
11. Тестирование контроллера накопителей на жестких дисках.
12. Изучение особенностей программирования портов для работы с клавиатурой.
13. Тестирование оперативной памяти.
14. Программирование порта принтера.
15. Определение режимов работы видеоадаптера.

Формы контроля знаний

1. Защита лабораторных работ.
2. Реферативные работы.
3. Защита контрольных работ.

Организация самостоятельной работы студентов

При изучении учебной дисциплины рекомендуется использовать следующие формы самостоятельной работы:

- контролируемая самостоятельная работа в виде решения индивидуальных задач в аудитории во время проведения лабораторных занятий под контролем преподавателя в соответствии с расписанием;
- управляемая самостоятельная работа, в том числе в виде выполнения индивидуальных заданий с консультациями преподавателя;
- подготовка и обсуждение рефератов по индивидуальным темам, в том числе с использованием электронных материалов.

Примеры УСП по темам:

Тема 1.1 Представление цифровой информации – 2 часа

Цели: 1) овладеть знаниями по данной теме, терминологией и методологией; 2) сформировать компетенцию в умении в области микропроцессорной техники.

Виды заданий УСП по теме с учетом модулей сложности:

А) Задания, формирующие знания по учебному материалу на уровне узнавания:

1. Соотнесите термины с определениями.
2. Исправьте ошибки в определениях.
3. Вставьте в определение соответствующий термин.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тесты.

Б) Задания, формирующие компетенции на уровне воспроизведения:

1. Дайте определения терминам.
2. Приведите примеры, подтверждающие или опровергающие правильность утверждений.

3. Опишите состав и основные функции различных систем счисления.

Форма выполнения заданий – индивидуальная.

Форма контроля выполнения заданий – тесты, контрольные вопросы.

В) Задания, формирующие компетенции на уровне применения полученных знаний:

1. Опишите состав и основные возможности систем счисления.

2. Приведите примеры применений систем счисления.

3. Сравните десятичную и двоичную систему счисления и осуществите перевод нескольких чисел из одной системы счисления в другую.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – реферат.

Учебно-методическое обеспечение:

1) Рекомендуемая основная и дополнительная литература.

2) Конспект лекций по дисциплине.

3) Информация в сети Интернет.

Тема 2.2 Структура микропроцессорной системы – 2 часа

Цели: 1) овладеть знаниями по данной теме, терминологией и методологией; 2) сформировать компетенцию в умении в области микропроцессорной техники.

Виды заданий УСП по теме с учетом модулей сложности:

А) Задания, формирующие знания по учебному материалу на уровне узнавания:

1. Соотнесите термины с определениями.

2. Исправьте ошибки в определениях.

3. Вставьте в определение соответствующий термин.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тесты.

Б) Задания, формирующие компетенции на уровне воспроизведения:

1. Дайте определения терминам.

2. Приведите примеры, подтверждающие или опровергающие правильность утверждений.

3. Опишите состав и основные функции простейшего микропроцессора.

Форма выполнения заданий – индивидуальная.

Форма контроля выполнения заданий – тесты, контрольные вопросы.

В) Задания, формирующие компетенции на уровне применения полученных знаний:

1. Опишите состав и основные функции микропроцессорных систем.

2. Приведите примеры применений микропроцессорных устройств.

3. Сравните микроархитектуру процессоров CISC и RISC.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – реферат.

Учебно-методическое обеспечение:

1) Рекомендуемая основная и дополнительная литература.

2) Конспект лекций по дисциплине.

3) Информация в сети Интернет.

Тема 2.3 Промышленные контроллеры шин – 2 часа

Цели: 1) овладеть знаниями по данной теме, терминологией и методологией; 2) сформировать компетенцию в области построения микропроцессорных систем.

Виды заданий УСР по теме с учетом модулей сложности:

А) Задания, формирующие задания по учебному материалу на уровне узнавания:

1. Соотнесите термины с определениями.
2. Исправьте ошибки в определениях.
3. Вставьте в определение соответствующий термин.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тесты.

Б) Задания, формирующие компетенции на уровне воспроизведения:

1. Дайте определения терминам.

2. Приведите примеры, подтверждающие или опровергающие правильность утверждений.

3. Опишите принципы работы различных архитектур.

Форма выполнения заданий – индивидуальная.

Форма контроля выполнения заданий – тесты.

В) Задания, формирующие компетенции на уровне применения полученных знаний:

1. Приведите примеры микропроцессорных систем.

2. Приведите примеры их реализаций.

3. Приведите примеры применений микропроцессорных систем при реализации управления технологическими процессами на предприятии.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тест.

Учебно-методическое обеспечение:

- 1) Рекомендуемая основная и дополнительная литература.
- 2) Конспект лекций по дисциплине.
- 3) Информация в сети Интернет.

Тема 5.1 Задачи диагностирования систем – 2 часа

Цели: 1) овладеть знаниями по данной теме, терминологией и методологией; 2) сформировать компетенцию в умении в области микропроцессорной техники.

Виды заданий УСР по теме с учетом модулей сложности:

А) Задания, формирующие знания по учебному материалу на уровне узнавания:

1. Соотнесите термины с определениями.
2. Исправьте ошибки в определениях.
3. Вставьте в определение соответствующий термин.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тесты.

Б) Задания, формирующие компетенции на уровне воспроизведения:

1. Дайте определения терминам контроля и диагностики цифровых схем.
2. Приведите классификацию контроля.
3. Опишите состав и основные функции организации сложной системы.

Форма выполнения заданий – индивидуальная.

Форма контроля выполнения заданий – тесты, контрольные вопросы.

В) Задания, формирующие компетенции на уровне применения полученных знаний:

1. Опишите состав и основные функции сложных микропроцессорных.

2. Приведите примеры использования схем контроля и диагностики цифровых сложных систем.

3. Приведите примеры типовых неисправностей цифровых схем, а также управляемости, наблюдаемости и возможных вариантов тестируемости цифровых схем.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – реферат.

Учебно-методическое обеспечение:

- 1) Рекомендуемая основная и дополнительная литература.
- 2) Конспект лекций по дисциплине.
- 3) Информация в сети Интернет.

Тема 5.3 Диагностирование в многопроцессорных вычислительных системах – 2 часа

Цели: 1) овладеть знаниями по данной теме, терминологией и методологией; 2) сформировать компетенцию в умении в области микропроцессорной техники.

Виды заданий УСП по теме с учетом модулей сложности:

А) Задания, формирующие знания по учебному материалу на уровне узнавания:

1. Соотнесите термины с определениями.
2. Исправьте ошибки в определениях.
3. Вставьте в определение соответствующий термин.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тесты.

Б) Задания, формирующие компетенции на уровне воспроизведения:

1. Дайте определения терминам.
2. Приведите примеры, подтверждающие или опровергающие правильность утверждений.
3. Опишите состав и основные функции организации системы диагностики в многопроцессорных ВС.

Форма выполнения заданий – индивидуальная.

Форма контроля выполнения заданий – тесты, контрольные вопросы.

В) Задания, формирующие компетенции на уровне применения полученных знаний:

1. Опишите состав и основные функции систем диагностики с плавающим ядром.
2. Приведите примеры применений систем диагностики с централизованным ядром.
3. Приведите примеры систем с распределенным плавающим ядром и взаимным тестированием процессоров.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – реферат.

Учебно-методическое обеспечение:

- 1) Рекомендуемая основная и дополнительная литература.
- 2) Конспект лекций по дисциплине.
- 3) Информация в сети Интернет.

Тема 6.3 IBM компьютер – как испытательный стенд "не родного" оборудования – 2 часа

Цели: 1) овладеть знаниями по данной теме, терминологией и методологией; 2) сформировать компетенцию в знании сопряжения различных микропроцессорных устройств.

Виды заданий УСР по теме с учетом модулей сложности:

А) Задания, формирующие задания по учебному материалу на уровне узнавания:

1. Соотнесите термины с определениями.
2. Исправьте ошибки в определениях.
3. Вставьте в определение соответствующий термин.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тесты.

Б) Задания, формирующие компетенции на уровне воспроизведения:

1. Дайте определения терминам.
2. Приведите примеры, подтверждающие или опровергающие правильность утверждений.
3. Опишите основные этапы проектирования устройств сопряжения.

Форма выполнения заданий – индивидуальная.

Форма контроля выполнения заданий – тесты.

В) Задания, формирующие компетенции на уровне применения полученных знаний:

1. Приведите основные протоколы обмена по магистралям сопрягаемых устройств.
2. Приведите примеры классификации используемых шин для сопряжения микропроцессорных устройств.
3. Опишите промышленные стандарты шин.

Форма выполнения заданий - индивидуальная.

Форма контроля выполнения заданий – тест.

Учебно-методическое обеспечение:

- 1) Рекомендуемая основная и дополнительная литература.
- 2) Конспект лекций по дисциплине.
- 3) Информация в сети Интернет.

Темы реферативных работ

1. Микроархитектура процессора Intel 4004.
2. Микроархитектура процессора Intel 8088.
3. Микроархитектура процессора Intel 8086.
4. Микроархитектура процессора Intel 80186.
5. Микроархитектура процессора Intel 80286.
6. Революционная архитектура процессора Intel 80386.
7. Микроархитектура процессора Intel 80486.
8. Архитектура процессора Intel Pentium.
9. Микроархитектура процессора Intel Pentium II.
10. Микроархитектура процессора Intel Pentium III.
11. Микроархитектура процессора Intel Pentium VI.
12. Микроархитектура процессора Intel Core.
13. Микроархитектура процессора Intel Core2Duo.
14. Микроархитектура процессора Intel Core i7.
15. Микроархитектура процессора AMD K5.
16. Микроархитектура процессора AMD K6.
17. Микроархитектура процессора AMD K7.
18. Микроархитектура процессора AMD K8, K8.5.

19. Микроархитектура процессора AMD K10.
20. Микроархитектура процессора AMD K11.
21. Микроархитектура процессора AMD Ryzen Zen.
22. Микроархитектура процессора AMD Ryzen Zen 2.
23. Микроархитектура процессора Zen 3.
24. Микроархитектура процессора Zen 4.
25. Архитектура микроконтроллеров I8051.
26. Архитектура микроконтроллеров PIC.
27. Архитектура микроконтроллеров PSOC.
28. Архитектура микроконтроллеров AVR.
29. Архитектура микроконтроллеров ESP32.
30. Архитектура микроконтроллеров ARM9 Microchip SAM9X60 на базе ARM926.
31. Технология MMX.
32. Технология 3DNow.
33. Технология SSE.

РЕПОЗИТОРИЙ УНИВЕРСИТЕТА ІМЕНІ ФРАНЦІСКА СКОРИНЬ

Рекомендуемая литература

ОСНОВНАЯ

1. Балашов, Е.П., Пузанков, Д.В. Микропроцессоры и микропроцессорные системы / Е.П. Балашов, Д.В. Пузанков. - М.: Журналы Компьютер пресс, 1981.
2. Басманов, А.С. Микропроцессоры и однокристалльные микроЭВМ: номенклатура и функциональные возможности / А.С. Басманов . – Москва : Энергоатомиздат, 1988 . - 160580 . – 41 . – (Микропроцессорные БИС и их применение) . – аб.1 : 0.00 .
3. Бильдюкевич, Е.В. ЭВМ и микропроцессор [текст] : книга для учащихся / Е. В. Бильдюкевич, В. Л. Гурачевский, С. С. Шушкевич. - Минск : Нар. асвета, 1990. - 207 с. : ил. - ISBN 5-341-00159-1.
4. Богданович, М.Н. и др. Цифровые интегральные микросхемы. - Мн.:Беларусь, 1996.
5. Каган, Б.М. Электронные вычислительные машины и системы: Учеб. пособие для вузов. - М.: Энергоатомиздат, 1991.
6. Левкович, В.Н. Архитектура и основы программирования однокристалльных микроконтроллеров PIC16F84. - Мн.:БГУИР, 2002.
7. Лихтциндер, П.Я., Кузнецов В.Н. Микропроцессоры и вычислительные устройства в радиотехнике. - Киев: Вища шк., 1988.
8. Нанoeлектроника : теория и практика : учебник для студентов вузов по специальностям "Микро-и нанoeлектронные технологии и системы", "Квантовые инф. системы", "Нанотехнологии и наноматериалы в электронике" / В.Е. Борисенко, Министерство образования Республики Беларусь . – 2-е изд., перераб. и доп . – Москва : БИНОМ. Лаборатория знаний, 2013 . – 223 с.
9. Парфенова, Е.Л. Физические основы микро-и нанoeлектроники : учеб.пособие для студентов вузов по специальности 200101 Приборостроение / Елена Леонидовна Парфенова . – Ростов-на-Дону : Феникс, 2012 . - 223980 . – 355.
- 10.Сергеев, Н.Р., Вашкевич Н.Р. Основы вычислительной техники: Учеб. пособие для вузов. - М.: Высш. шк., 1988.
- 11.Сташин, В.В. и др. Проектирование цифровых устройств на однокристалльных микроконтроллерах/ В.В. Сташин, А.В. Урусов, О.Ф. Мологонцева. - М.: Энергоатомиздат, 1990.
- 12.Угрюмов, Е.П. Цифровая схемотехника.-СПб: БХВ, 2001.
- 13.Шевкопляс, Б.В. Микропроцессорные структуры. Инженерные решения. / Б.В. Шевкопляс. - М.:, 1986. – 264 с.

ДОПОЛНИТЕЛЬНАЯ

1. Грушвицкий, Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики.-СПб.: БХВ, 2002.

2. Казаринов, Ю.М. и др. Применение микропроцессоров и микроЭВМ в радиотехнических системах. Учеб. пособие для радиотехн. спец. вузов. - М.: Высш. шк., 1988.
3. Кучумов А.И. Электроника и схемотехника. – М.: Гелиос АРВ, 2002.
4. Микропроцессорные комплекты интегральных схем (состав и структура) / А.А. Васенкова, В.А. Шахнова. - М.:, 1982. - 182 с.
5. Микропроцессорные системы: Учеб. пособие для вузов/ Е.К. Александров, Р.И. Грушвицкий и др.; Под общ. ред. Д.В. Пузанкова.- СПб.: Политехника, 2002.
6. Новиков, Ю.В. Основы цифровой схемотехники. М.: Мир, 2001.
7. Однокристалльные микроконтроллеры Microchip: PIC16c8х: Пер. с англ./Под ред. А.Н. Владимирова. – Рига.:ORMIX, 1996.
8. Тули, М. Справочное пособие по цифровой электронике / М. Тули. - М.: Энергоатомиздат, 1990. – 176 с.

ЭЛЕКТРОННЫЕ РЕСУРСЫ

1. Свободная энциклопедия Википедия [Электронный ресурс]. – 2022. – Режим доступа: <http://ru.wikipedia.org>. – Дата доступа: 16.02.2022.
2. Интернет университет информационных технологий [Электронный ресурс]. – 2022. – Режим доступа: <http://www.intuit.ru>. – Дата доступа: 23.02.2022.
3. Информационно-справочный портал технической информации Хабрахабр [Электронный ресурс]. – 2022. – Режим доступа: <https://habr.com/ru/all/>. – Дата доступа: 15.03.2022.
4. Информационно-справочный портал технической информации Xgu.ru [Электронный ресурс]. – 2022. – Режим доступа: <http://xgu.ru/>. – Дата доступа: 22.03.2022.